

日本国特許庁
JAPAN PATENT OFFICE

#2/5-2-02

J1000 U.S. PTO
10/002009
12/05/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年12月19日

出願番号

Application Number:

特願2000-386088

出願人

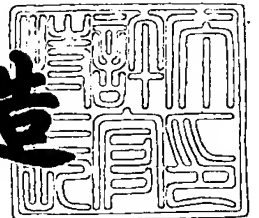
Applicant(s):

株式会社日立製作所

2001年 9月25日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3087822

【書類名】 特許願

【整理番号】 H00017601

【提出日】 平成12年12月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 篠崎 雅雄

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 秋岡 隆志

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 光本 欽哉

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の主面の第 1 領域に複数の第 1 MOS トランジスタで構成された入力回路または出力回路を備え、前記半導体基板の主面の第 2 領域に複数の第 2 MOS トランジスタで構成された内部回路を備えた半導体装置であって、

前記入力回路または出力回路を構成する第 1 MOS トランジスタの第 1 ゲート電極と、前記第 1 MOS トランジスタのソース領域またはドレイン領域に配線を接続するための第 1 コンタクトホールとの間隔は、前記第 1 ゲート電極と前記第 1 コンタクトホールとの間隔の最小加工寸法よりも大きく、

前記内部回路を構成する第 2 MOS トランジスタの第 2 ゲート電極と、前記第 2 MOS トランジスタのソース領域またはドレイン領域に配線を接続するための第 2 コンタクトホールとの間隔は、前記第 2 ゲート電極と前記第 2 コンタクトホールとの間隔の最小加工寸法に等しいことを特徴とする半導体装置。

【請求項 2】 半導体基板の主面の第 1 領域に複数の第 1 MOS トランジスタで構成された入力回路または出力回路を備え、前記半導体基板の主面の第 2 領域に複数の第 2 MOS トランジスタで構成された内部回路を備えた半導体装置であって、

前記入力回路または出力回路を構成する第 1 MOS トランジスタが形成された第 1 活性領域の端部と、前記第 1 MOS トランジスタのソース領域またはドレイン領域に配線を接続するための第 1 コンタクトホールとの間隔は、前記第 1 活性領域の端部と前記第 1 コンタクトホールとの間隔の最小加工寸法よりも大きく、

前記内部回路を構成する第 2 MOS トランジスタが形成された第 2 活性領域の端部と、前記第 2 MOS トランジスタのソース領域またはドレイン領域に配線を接続するための第 2 コンタクトホールとの間隔は、前記第 2 活性領域の端部と前記第 2 コンタクトホールとの間隔の最小加工寸法に等しいことを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 記載の半導体装置において、前記入力回路

または出力回路を構成する第 1 MOS トランジスタに印加される電源電圧は、前記内部回路を構成する第 2 MOS トランジスタに印加される電源電圧に等しいことを特徴とする半導体装置。

【請求項 4】 請求項 3 記載の半導体装置において、前記第 1 MOS トランジスタのゲート長は、前記第 2 MOS トランジスタのゲート長に等しいことを特徴とする半導体装置。

【請求項 5】 請求項 3 記載の半導体装置において、前記第 1 MOS トランジスタのゲート絶縁膜厚は、前記第 2 MOS トランジスタのゲート絶縁膜厚に等しいことを特徴とする半導体装置。

【請求項 6】 請求項 3 記載の半導体装置において、前記第 1 MOS トランジスタが形成された活性領域の面積は、前記第 2 MOS トランジスタが形成された活性領域の面積よりも大きいことを特徴とする半導体装置。

【請求項 7】 請求項 1 または 2 記載の半導体装置において、前記入力回路または出力回路を構成する第 1 MOS トランジスタに印加される電源電圧は、前記内部回路を構成する第 2 MOS トランジスタに印加される電源電圧よりも大きいことを特徴とする半導体装置。

【請求項 8】 外部電源電圧に応じて異なる電源電圧が印加される複数種類の MOS トランジスタを形成するための複数の工程を有する半導体装置の製造方法であって、前記複数の工程は、前記複数種類の MOS トランジスタに共通する工程と、前記複数種類の MOS トランジスタ毎に異なる工程とからなることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 記載の半導体装置の製造方法において、前記複数の工程は、前記複数種類の MOS トランジスタに共通する第 1 工程と、前記第 1 工程に引き続く工程であって、前記複数種類の MOS トランジスタ毎に異なる第 2 工程と、前記第 2 工程に引き続く工程であって、前記複数種類の MOS トランジスタに共通する第 3 工程とからなることを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 9 記載の半導体装置の製造方法において、前記第 2 工程は、膜厚が互いに異なる複数種のゲート絶縁膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 1 1】 請求項 9 記載の半導体装置の製造方法において、前記第 2 工程は、ゲート長が互いに異なる複数種のゲート電極を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 1 2】 請求項 1 1 記載の半導体装置の製造方法において、前記複数種のゲート電極が形成される活性領域の面積は、互いに等しいことを特徴とする半導体装置の製造方法。

【請求項 1 3】 請求項 9 記載の半導体装置の製造方法において、前記第 2 工程は、不純物濃度が互いに異なる複数種のチャネル形成領域を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 9 記載の半導体装置の製造方法において、前記第 1 工程は、半導体基板にウエルを形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 1 5】 請求項 8 記載の半導体装置の製造方法において、前記複数種類の MOS トランジスタは、入力回路または出力回路を構成する MOS トランジスタであることを特徴とする半導体装置の製造方法。

【請求項 1 6】 第 1 半導体ウエハの主面に、複数の第 1 MOS トランジスタで構成され、第 1 外部電源電圧が供給される入力回路または出力回路を含む第 1 半導体装置を形成する工程と、

第 2 半導体ウエハの主面に、複数の第 2 MOS トランジスタで構成され、前記第 1 外部電源電圧と異なる第 2 外部電源電圧が供給される入力回路または出力回路を含み、前記第 1 半導体装置と同一機能を有する第 2 半導体装置を形成する工程とを具備する半導体装置の製造方法であって、

前記第 1 半導体ウエハの主面に前記第 1 MOS トランジスタを形成する複数の工程と、前記第 2 半導体ウエハの主面に前記第 2 MOS トランジスタを形成する複数の工程とは、

前記第 1 および第 2 MOS トランジスタに共通する第 1 工程と、前記第 1 工程に引き続く工程であって、前記第 1 MOS トランジスタと前記第 2 MOS トランジスタとで異なる第 2 工程と、前記第 2 工程に引き続く工程であって、前記第 1 および第 2 MOS トランジスタに共通する第 3 工程とからなることを特徴とする

半導体装置の製造方法。

【請求項 1 7】 請求項 1 6 記載の半導体装置の製造方法において、前記第 2 工程は、膜厚が互いに異なる 2 種のゲート絶縁膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 1 8】 請求項 1 6 記載の半導体装置の製造方法において、前記第 2 工程は、ゲート長が互いに異なる 2 種のゲート電極を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 1 9】 請求項 1 6 記載の半導体装置の製造方法において、前記第 2 工程は、不純物濃度が互いに異なる 2 種のチャネル形成領域を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 2 0】 請求項 1 6 記載の半導体装置の製造方法において、前記第 1 MOS トランジスタが形成される第 1 活性領域の面積は、前記第 2 MOS トランジスタが形成される第 2 活性領域の面積に等しく、

前記第 1 MOS トランジスタの第 1 ゲート電極と、前記第 1 MOS トランジスタのソース領域またはドレイン領域に配線を接続するための第 1 コンタクトホールとの間隔は、前記第 1 ゲート電極と前記第 1 コンタクトホールとの間隔の最小加工寸法よりも大きく、

前記第 2 MOS トランジスタの第 2 ゲート電極と、前記第 2 MOS トランジスタのソース領域またはドレイン領域に配線を接続するための第 2 コンタクトホールとの間隔は、前記第 2 ゲート電極と前記第 2 コンタクトホールとの間隔の最小加工寸法に等しいことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置およびその製造技術に関し、特に、複数の外部電源電圧仕様に対応した高速 IC を有する半導体装置に適用して有効な技術に関するものである。

【0 0 0 2】

【従来の技術】

一般に、半導体チップに形成された L S I に対して外部から供給される電源電圧の仕様は、L S I の機能が同一であっても 1 種類であるとは限らない。例えば高速化、低消費電力化のためには電源電圧を低くした仕様が有利であるが、L S I が使用されるシステムの電源電圧が市場において低電圧に切り替わる時期は明確でなく、ユーザや使用目的などによって相違する。また、システムによっては、信号ノイズなどを考慮して I / O (入出力) 回路の電源電圧仕様を変更する場合もある。

【 0 0 0 3 】

従って、L S I を製造するメーカは、複数の外部電源電圧仕様に対応した同一機能の L S I を同時期に開発しなければならない。この場合、同一機能の L S I を電源電圧仕様毎に個別に開発したのでは設計作業が膨大となり、開発期間の長期化および製造コストの増大を招く。そのため、通常は、共通化が可能な回路は各仕様で可能な限り共通化し、設計の効率化を図ることが行われている。

【 0 0 0 4 】

【発明が解決しようとする課題】

本発明者らは、同一の機能を有し、2 種類の外部電源電圧仕様に対応することのできる L S I の回路構成について検討した。以下は、本発明者が検討した技術であり、その概要は次の通りである。

【 0 0 0 5 】

図 2 9 は、L S I に要求される電源電圧仕様の一例を示したものである。L S I に供給される 2 種類の外部電源電圧 (VDD) を 3. 3 V および 2. 5 V とし、I / O (入出力) 電源電圧 (VDDQ) を 3. 3 V および 2. 5 V とする。I / O 電源電圧 (VDDQ) は、L S I に入力される入力信号レベルの最大値である。内部電源電圧 (内部回路の電源電圧) (VDDI) は、いずれの仕様でも 1. 5 V とする。

【 0 0 0 6 】

図 3 0 は、上記 3 種類の電源電圧 (3. 3 V、2. 5 V、1. 5 V) に対応するように最適化された M O S トランジスタのゲート絶縁膜厚 (T O X) および最小加工ゲート長 (L g) の一例を示したものである。M O S トランジスタに印加さ

れる電源電圧が大きくなれば、耐圧を上げるためにゲート絶縁膜厚 (T_{OX}) が厚くなり、それに伴って最小加工ゲート長 (L_g) が長くなる。

【 0 0 0 7 】

図 3 1 は、図 2 9 に示す電源電圧仕様に対応した L S I の回路構成の一例である。L S I (0 0 0) は、入力回路 (0 0 1) 、降圧回路 (0 0 2) 、内部回路 (1 0 1) および出力回路 (0 0 3) によって構成される。外部電源電圧 (V_{DD}) は、降圧回路 (0 0 2) によって内部電源電圧 (V_{DDI}) に降圧されて内部回路 (1 0 1) に供給される。入力回路 (0 0 1) および出力回路 (0 0 3) には、外部電源電圧仕様によって異なる I / O 電源電圧 (V_{DDQ}) および入力信号 (I_N) が直接印加される。

【 0 0 0 8 】

上記の回路構成では、外部電源電圧 (V_{DD}) が 3 . 3 V の場合でも 2 . 5 V の場合でも、内部電源電圧 (V_{DDI}) が 1 . 5 V となるように降圧回路 (0 0 2) を設計することにより、内部回路 (1 0 1) の設計および製造プロセスを 2 種類の L S I で共通化することができる。すなわち、いずれの L S I も、内部回路 (1 0 1) には 1 . 5 V の電源電圧しか印加されないので、表 2 に示す 1 . 5 V 耐圧仕様の MOS トランジスタを使って内部回路を構成することができる。

【 0 0 0 9 】

一方、入力回路 (0 0 1) および出力回路 (0 0 3) は、I / O 電源電圧 (V_{DDQ}) が高い場合 (3 . 3 V) でもゲート絶縁膜が破壊されないような耐圧を有する MOS トランジスタで構成し、同じ回路を I / O 電源電圧 (V_{DDQ}) が低い場合 (2 . 5 V) でも使用する。すなわち、入力回路 (0 0 1) および出力回路 (0 0 3) は、3 . 3 V 仕様の L S I においても、2 . 5 V 仕様の L S I においても、表 2 に示すゲート絶縁膜厚 (T_{OX}) = 8 n m 、最小加工ゲート長 (L_g) = 0 . 4 μ m の 3 . 3 V 耐圧 MOS トランジスタ (0 0 5) で構成する。

【 0 0 1 0 】

図 3 2 は、上記回路構成をさらに詳細に示した図、図 3 3 は、この回路の内部動作波形を示している。入力回路 (0 0 1) を構成する MOS トランジスタ (f₀₁、f₀₂) および出力回路 (0 0 3) を構成する MOS トランジスタ (f₀

3～f 1 0) には、外部電源電圧仕様によって異なる I/O 電源電圧 (VDDQ) および入力信号 (I N) が印加されるため、前述したように 3. 3 V 耐圧 MOS トランジスタ (0 0 5) が使用される。

【0 0 1 1】

しかし、この回路構成を採用した場合は、外部電源電圧 (VDD) が 2. 5 V 仕様の L S I は、I/O 電源電圧 (VDDQ) が 2. 5 V になるため、M O S トランジスタ (0 0 5) のゲートーソース間には、2. 5 V の電圧しか印加されない。そのため、3. 3 V に最適化された M O S トランジスタ (f 0 1～f 1 0) の電流駆動能力が極端に低下し、入力回路 (0 0 1) および出力回路 (0 0 3) の遅延時間が増大するという問題が生じる。

【0 0 1 2】

図 3 4 は、図 2 9 に示す電源電圧仕様に対応した L S I の回路構成の第 2 の例である。この例では、ゲート絶縁膜厚 (T O X) = 8 n m、最小加工ゲート長 (L g) = 0. 4 μ m の 3. 3 V 耐圧 M O S トランジスタ (0 0 5) で構成された入力回路 (0 0 1 a) および出力回路 (0 0 3 a) と、ゲート絶縁膜厚 (T O X) = 6 n m、最小加工ゲート長 (L g) = 0. 3 μ m の 2. 5 V 耐圧 M O S トランジスタ (0 0 6) で構成された入力回路 (0 0 1 b) および出力回路 (0 0 3 b) とを L S I (0 0 0) の内部に形成する。そして、3. 3 V 仕様の L S I を製造する時には、配線形成工程で 3. 3 V 仕様の配線 (0 1 0) を結線し、2. 5 V 仕様の L S I を製造する時には、2. 5 V 仕様の配線 (0 1 1) を結線する。

【0 0 1 3】

上記第 2 の回路構成を採用した場合は、外部電源電圧 (VDD) が 2. 5 V 仕様の L S I において、入力回路 (0 0 1) および出力回路 (0 0 3) の遅延時間が増大するという問題を回避することができる。しかし、2. 5 V 仕様の L S I も 3. 3 V 仕様の L S I も、前述した第 1 の回路構成に比べて入出力回路の面積が約 2 倍になってしまうため、チップ面積が増大し、製造コストが増加するという問題が生じる。

【0 0 1 4】

本発明の目的は、複数の電源電圧仕様に対応した半導体装置の高速動作を実現

する技術を提供することにある。

【 0 0 1 5 】

本発明の他の目的は、複数の電源電圧仕様に対応した半導体装置の製造コストを低減する技術を提供することにある。

【 0 0 1 6 】

本発明の他の目的は、複数の電源電圧仕様に対応した半導体装置の開発期間を短縮する技術を提供することにある。

【 0 0 1 7 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 8 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 9 】

本発明の半導体装置は、半導体基板の主面の第 1 領域に複数の第 1 MOS トランジスタで構成された入力回路または出力回路を備え、前記半導体基板の主面の第 2 領域に複数の第 2 MOS トランジスタで構成された内部回路を備え、

前記入力回路または出力回路を構成する第 1 MOS トランジスタの第 1 ゲート電極と、前記第 1 MOS トランジスタのソース領域またはドレイン領域に配線を接続するための第 1 コンタクトホールとの間隔は、前記第 1 ゲート電極と前記第 1 コンタクトホールとの間隔の最小加工寸法よりも大きく、

前記内部回路を構成する第 2 MOS トランジスタの第 2 ゲート電極と、前記第 2 MOS トランジスタのソース領域またはドレイン領域に配線を接続するための第 2 コンタクトホールとの間隔は、前記第 2 ゲート電極と前記第 2 コンタクトホールとの間隔の最小加工寸法に等しいものである。

【 0 0 2 0 】

本発明の半導体装置は、半導体基板の主面の第 1 領域に複数の第 1 MOS トランジスタで構成された入力回路または出力回路を備え、

前記半導体基板の主面の第2領域に複数の第2MOSトランジスタで構成された内部回路を備え、

前記入力回路または出力回路を構成する第1MOSトランジスタが形成された第1活性領域の端部と、前記第1MOSトランジスタのソース領域またはドレイン領域に配線を接続するための第1コンタクトホールとの間隔は、前記第1活性領域の端部と前記第1コンタクトホールとの間隔の最小加工寸法よりも大きく、

前記内部回路を構成する第2MOSトランジスタが形成された第2活性領域の端部と、前記第2MOSトランジスタのソース領域またはドレイン領域に配線を接続するための第2コンタクトホールとの間隔は、前記第2活性領域の端部と前記第2コンタクトホールとの間隔の最小加工寸法に等しいものである。

【0021】

本発明の半導体装置の製造方法は、外部電源電圧に応じて異なる電源電圧が印加される複数種類のMOSトランジスタを形成するための複数の工程を有する半導体装置を製造するに際し、前記複数の工程は、前記複数種類のMOSトランジスタに共通する工程と、前記複数種類のMOSトランジスタ毎に異なる工程とからなるものである。

【0022】

本発明の半導体装置の製造方法は、第1半導体ウエハの主面に、複数の第1MOSトランジスタで構成され、第1外部電源電圧が供給される入力回路または出力回路を含む第1半導体装置を形成する工程と、

第2半導体ウエハの主面に、複数の第2MOSトランジスタで構成され、前記第1外部電源電圧と異なる第2外部電源電圧が供給される入力回路または出力回路を含み、前記第1半導体装置と同一機能を有する第2半導体装置を形成する工程とを具備し、

前記第1半導体ウエハの主面に前記第1MOSトランジスタを形成する複数の工程と、前記第2半導体ウエハの主面に前記第2MOSトランジスタを形成する複数の工程は、前記第1および第2MOSトランジスタに共通する第1工程と、前記第1工程に引き続く工程であって、前記第1MOSトランジスタと前記第2MOSトランジスタとで異なる第2工程と、前記第2工程に引き続く工程であっ

て、前記第 1 および第 2 MOS トランジスタに共通する第 3 工程とからなるものである。

【 0 0 2 3 】

【発明の実施の形態】

以下、本発明の実施の形態を図面を用いて詳述する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 2 4 】

(実施の形態 1)

図 1 は、本発明の一実施形態である S R A M (Static Random Access Memory) が形成されたシリコンチップ 1 a の回路ブロック図である。この S R A M は、例えばワークステーションのキャッシュメモリなどに使用される 8 メガビット (M b i t) の記憶容量を有する高速 S R A M であり、複数のメモリセルが形成されたメモリセルアレイ 1 0 6、ロウデコーダ 1 0 7、カラムデコーダ 1 0 8、センスアンプ/ライトアンプ 1 0 9、アドレスレジスタ 1 1 0、データ出力レジスタ 1 1 1 およびデータ入力レジスタ 1 1 2 などによって構成された内部回路 1 0 1 と、アドレス入力回路 1 0 2、データ入力回路 1 0 3、データ出力回路 1 0 4 およびクロックバッファ 1 0 5 などによって構成された入出力回路とを備えている。入出力回路を構成するデータ入力回路 1 0 3 およびデータ出力回路 1 0 4 には、データ入出力パッド D Q を通じてデータ信号が入出力される。アドレス入力回路 1 0 2 には、アドレス入力パッド A D を通じてアドレス入力信号が入力される。クロックバッファ 1 0 5 には、クロック入力パッド C K を通じてクロック信号が入力される。

【 0 0 2 5 】

上記シリコンチップ 1 a に形成された S R A M は、図 2 9 に示す 2 種類 (3. 3 V および 2. 5 V) の外部電源電圧 (VDD) のうち、低い方の電圧 (2. 5 V) が供給される仕様になっている。この S R A M に入力される入力信号レベルの最大値である I/O 電源電圧 (VDDQ) は、外部電源電圧 (VDD) と同じ 2. 5 V である。また、内部回路 1 0 1 は、高速化、低消費電力化のために、外部電源

電圧 (VDD) よりも低い 1. 5 V の内部電源電圧 (VDDI) で動作するようになっている。

【 0 0 2 6 】

図 2 は、もう一つのシリコンチップ 1 b に形成された 8 メガビット高速 S R A M の回路ブロック図である。この S R A M は、前記シリコンチップ 1 a に形成された S R A M と同一の機能を有し、かつ同一の集積度を有しているが、図 2 9 に示す 2 種類 (3. 3 V および 2. 5 V) の外部電源電圧 (VDD) のうち、高い方の電圧 (3. 3 V) が供給される仕様になっている。この S R A M に入力される入力信号レベルの最大値である I / O 電源電圧 (VDDQ) は、外部電源電圧 (VDD) と同じ 3. 3 V である。また、内部回路 1 0 1 は、高速化、低消費電力化のために、外部電源電圧 (VDD) よりも低い 1. 5 V の内部電源電圧 (VDDI) で動作するようになっている。

【 0 0 2 7 】

第 1 のシリコンチップ 1 a に形成された S R A M と第 2 のシリコンチップ 1 b に形成された S R A M は、入出力回路を構成する M O S トランジスタの一部が相違するだけであり、その他の回路は同じ M O S トランジスタで構成されている。すなわち、シリコンチップ 1 a に形成された S R A M は、入出力回路を構成する M O S トランジスタが 2. 5 V の電源電圧で高速動作するように最適化されており、シリコンチップ 1 b に形成された S R A M は、入出力回路を構成する M O S トランジスタが 3. 3 V の電源電圧で高速動作するように最適化されている。また、これら 2 種の S R A M は、外部電源電圧 (VDD) が 3. 3 V の場合でも 2. 5 V の場合でも、内部回路 1 0 1 に 1. 5 V の内部電源電圧 (VDDI) を供給する降圧回路を備えている。

【 0 0 2 8 】

図 3 は、前記データ出力回路 1 0 4 の具体的な回路図であり、図 4 は、このデータ出力回路 1 0 4 の内部動作波形を示す図である。

【 0 0 2 9 】

データ出力回路 1 0 4 を構成する M I S トランジスタのうち、n チャネル型 M O S トランジスタ (f 3 2、f 3 4、f 3 6) および p チャネル型 M O S トラン

ジスタ (f 3 1、f 3 3、f 3 5、f 3 7) には、外部電源電圧仕様によって異なる I/O 電源電圧 (VDDQ) が直接印加される。そのため、シリコンチップ 1 a に形成された MOS トランジスタ (f 3 1 ~ f 3 7) は、2.5 V 耐圧の MOS トランジスタで構成されており、2.5 V の I/O 電源電圧 (VDDQ) が供給されたときに高速動作するようになっている。一方、シリコンチップ 1 b に形成された MOS トランジスタ (f 3 1 ~ f 3 7) は、3.3 V 耐圧 MOS トランジスタで構成されており、3.3 V の I/O 電源電圧 (VDDQ) が供給されたときに高速動作するようになっている。データ出力回路 1 0 4 の他の MOS トランジスタは、2 種類の電源電圧 (2.5 V、3.3 V) で共用できるよう、シリコンチップ 1 a、1 b 共に、3.3 V 耐圧の MOS トランジスタで構成されている。

【 0 0 3 0 】

図 5 は、前記アドレス入力回路 1 0 2 およびデータ入力レジスタ 1 1 2 の具体的な回路図であり、図 6 は、このアドレス入力回路 1 0 2 に入力される入力信号 AD の波形を示す図である。

【 0 0 3 1 】

図 6 に示すように、アドレス入力信号 AD は、通常はリファレンス基準電圧 (VREF) との間に生じる小振幅の信号であるが、入力振幅が最大ときには I/O 電源電圧 (VDDQ) と同じ電圧となる。従って、シリコンチップ 1 a に形成された MOS トランジスタ (f 2 1 および f 2 2) は、2.5 V 耐圧 MOS トランジスタで構成され、2.5 V の I/O 電源電圧 (VDDQ) が供給されたときに高速動作するようになっている。一方、シリコンチップ 1 b に形成された MOS トランジスタ (f 2 1 および f 2 2) は、3.3 V 耐圧 MOS トランジスタで構成され、3.3 V の I/O 電源電圧 (VDDQ) が供給されたときに高速動作するようになっている。

【 0 0 3 2 】

図 7 (a) は、シリコンチップ 1 b に形成された 3.3 V 耐圧 MOS トランジスタの平面図、図 7 (b) は、同じくシリコンチップ 1 b に形成された 1.5 V 耐圧 MOS トランジスタの平面図である。3.3 V 耐圧 MOS トランジスタおよび 1.5 V 耐圧 MOS トランジスタのそれぞれは、図 3 0 に示すゲート絶縁膜厚

(T_{OX}) および最小ゲート長 (L_g) を有している。3. 3 V 耐圧 MOS トランジスタは、微細化を推進するために、ソース、ドレイン領域と配線とを接続するためのコンタクトホール 1 7 とゲート電極 8 b との間隔が、この間隔の最小加工寸法 (a) で形成されている。また、1. 5 V 耐圧 MOS トランジスタも、同様の理由から、ソース、ドレイン領域と配線とを接続するためのコンタクトホール 1 6 とゲート電極 8 c との間隔が、この間隔の最小加工寸法 (a) で形成されている。

【 0 0 3 3 】

図 8 (a) は、シリコンチップ 1 a に形成された 2. 5 V 耐圧 MOS トランジスタの平面図、図 8 (b) は、同じくシリコンチップ 1 a に形成された 1. 5 V 耐圧 MOS トランジスタの平面図である。2. 5 V 耐圧 MOS トランジスタおよび 1. 5 V 耐圧 MOS トランジスタのそれぞれは、表 2 に示すゲート絶縁膜厚 (T_{OX}) および最小ゲート長 (L_g) を有している。

【 0 0 3 4 】

SRAM の内部回路 1 0 1 を構成する 1. 5 V 耐圧 MOS トランジスタは、シリコンチップ 1 a、1 b で共通の構造になっている。すなわち、シリコンチップ 1 a に形成された 1. 5 V 耐圧 MOS トランジスタとシリコンチップ 1 b に形成された 1. 5 V 耐圧 MOS トランジスタは、同一の面積を有する活性領域 3 1 に形成され、同一のゲート絶縁膜厚 (T_{OX}) およびゲート長 (L_g) を有している。また、ソース、ドレイン領域と配線とを接続するためのコンタクトホール 1 6 とゲート電極 8 c との間隔も同一であり、いずれもこの間隔の最小加工寸法 (a) で形成されている。

【 0 0 3 5 】

一方、シリコンチップ 1 a に形成された 2. 5 V 耐圧 MOS トランジスタとシリコンチップ 1 b に形成された 3. 3 V 耐圧 MOS トランジスタは、同一の面積を有する活性領域 3 0 に形成されているが、互いのゲート絶縁膜厚 (T_{OX}) およびゲート長 (L_g) が異なっている。そのため、3. 3 V 耐圧 MOS トランジスタのコンタクトホール 1 7 とゲート電極 8 b との間隔を、この間隔の最小加工寸法 (a) で形成した場合、それよりもゲート長 (L_g) が短い 2. 5 V 耐圧 MO

Sトランジスタは、コンタクトホール17とゲート電極8aとの間隔が、この間隔の最小加工寸法(a)よりも α だけ大きくなる。ここで、 α は、3.3V耐圧MOSトランジスタの最小加工ゲート長(L_g)と2.5V耐圧MOSトランジスタの最小加工ゲート長(L_g)との差の2分の1である。

【0036】

次に、上記した3.3V仕様のSRAMと2.5V仕様のSRAMの製造方法を図9～図23を用いて説明する。

【0037】

まず、図9に示すように、例えば $1 \sim 10 \Omega \cdot \text{cm}$ 程度の比抵抗を有するp型の単結晶シリコンからなるシリコンウエハ(以下、基板ともいう)1の主面に素子分離溝2を形成する。素子分離溝2は、基板1の素子分離領域をエッチングして溝を形成し、続いて溝の内部を含む基板1上にCVD法で酸化シリコン膜3を堆積した後、化学機械研磨(CMP)法を用いて溝の外部の酸化シリコン膜3を研磨、除去することによって形成する。

【0038】

次に、図10に示すように、基板1の一部にn型不純物(例えばリン)をイオン注入し、他の一部にp型不純物(ホウ素)をイオン注入した後、基板1を熱処理して上記不純物を拡散させることにより、基板1の一部にp型ウエル4を形成し、他の一部にn型ウエル5を形成する。

【0039】

本実施形態の製造方法は、上記ウエル(p型ウエル4、n型ウエル5)の形成が完了したシリコンウエハ1をロット単位で多数枚保管しておく。そして、3.3V仕様のSRAMと2.5V仕様のSRAMのそれぞれの生産数量が確定した後、これらのシリコンウエハ1を2.5V仕様のSRAMの製造に用いるシリコンウエハ1Aと3.3V仕様のSRAMの製造に用いるシリコンウエハ1Bとに分け、シリコンウエハ1A、1Bに対してそれぞれ次のような処理を施す。

【0040】

まず、図11(a)に示すように、2.5V仕様のシリコンウエハ1Aの表面をフッ酸で洗浄した後、湿式酸化を行い、p型ウエル4およびn型ウエル5のそ

れぞれの表面に清浄な酸化シリコン膜 6 a を形成する。また、図 1 1 (b) に示すように、3. 3 V 仕様のシリコンウエハ 1 B の表面をフッ酸で洗浄した後、湿式酸化を行い、p 型ウエル 4 および n 型ウエル 5 のそれぞれの表面に清浄な酸化シリコン膜 6 b を形成する。シリコンウエハ 1 B の湿式酸化は、シリコンウエハ 1 A の湿式酸化よりも長時間（または高温で）行い、酸化シリコン膜 6 b の膜厚を酸化シリコン膜 6 a の膜厚よりもわずかに厚くする。

【 0 0 4 1 】

次に、図 1 2 (a) に示すように、シリコンウエハ 1 A の入出力回路領域をフォトリソ膜 4 0 で覆い、フッ酸を用いたウェットエッチングで内部回路領域のゲート絶縁膜 6 a を除去する。また、図 1 2 (b) に示すように、シリコンウエハ 1 B の入出力回路領域をフォトリソ膜 4 1 で覆い、上記と同様の方法で内部回路領域のゲート絶縁膜 6 b を除去する。

【 0 0 4 2 】

次に、シリコンウエハ 1 A のフォトリソ膜 4 0 を除去した後、図 1 3 (a) に示すように、シリコンウエハ 1 A を湿式酸化することによって、内部回路領域の p 型ウエル 4 および n 型ウエル 5 のそれぞれの表面に膜厚 3 n m のゲート酸化膜 7 c を形成する。この湿式酸化を行うことにより、入出力回路領域の酸化シリコン膜 6 a が厚膜化され、入出力回路領域の p 型ウエル 4 および n 型ウエル 5 のそれぞれの表面に膜厚 6 n m のゲート酸化膜 7 a が形成される。

【 0 0 4 3 】

また、シリコンウエハ 1 B のフォトリソ膜 4 1 を除去した後、図 1 3 (b) に示すように、シリコンウエハ 1 B を湿式酸化することによって、内部回路領域の p 型ウエル 4 および n 型ウエル 5 のそれぞれの表面に膜厚 3 n m のゲート酸化膜 7 c を形成する。この湿式酸化を行うことにより、入出力回路領域の酸化シリコン膜 6 が厚膜化され、入出力回路領域の p 型ウエル 4 および n 型ウエル 5 のそれぞれの表面に膜厚 8 n m のゲート酸化膜 7 b が形成される。

【 0 0 4 4 】

次に、図 1 4 (a) に示すように、シリコンウエハ 1 A の入出力回路領域にゲート長が 0. 3 μ m のゲート電極 8 a を形成し、内部回路領域にゲート長が 0.

14 μm のゲート電極8cを形成する。ゲート電極8a、8cは、例えばシリコンウエハ1A上にCVD法でn型の多結晶シリコン膜を堆積した後、フォトレジスト膜をマスクにしたドライエッチングでこの多結晶シリコン膜をパターンニングすることによって形成する。

【0045】

また、図14(b)に示すように、シリコンウエハ1Bの入出力回路領域にゲート長が0.4 μm のゲート電極8aを形成し、内部回路領域にゲート長が0.14 μm のゲート電極8cを形成する。ゲート電極8b、8cは、前記ゲート電極8a、8cと同様、シリコンウエハ1B上に堆積したn型の多結晶シリコン膜をパターンニングすることによって形成する。

【0046】

次に、図15(a)に示すように、シリコンウエハ1Aのp型ウエル4にn型不純物（リンまたはヒ素）をイオン注入することによってn⁻型半導体領域10を形成し、n型ウエル5にp型不純物（ホウ素）をイオン注入することによってp⁻型半導体領域11を形成する。また図15(b)に示すように、シリコンウエハ1Bのp型ウエル4にn型不純物（リンまたはヒ素）をイオン注入することによってn⁻型半導体領域10を形成し、n型ウエル5にp型不純物（ホウ素）をイオン注入することによってp⁻型半導体領域11を形成する。n⁻型半導体領域10およびp⁻型半導体領域11は、MOSトランジスタをLDD(Lightly Doped Drain)構成にするために形成する。

【0047】

次に、図16(a)に示すように、シリコンウエハ1A上にCVD法で窒化シリコン膜を堆積した後、この窒化シリコン膜を異方的にドライエッチングすることによって、ゲート電極8a、8cのそれぞれの側壁にサイドウォールスペーサ12を形成する。また図16(b)に示すように、シリコンウエハ1B上にCVD法で窒化シリコン膜を堆積した後、この窒化シリコン膜を異方的にドライエッチングすることによって、ゲート電極8a、8cのそれぞれの側壁にサイドウォールスペーサ12を形成する。

【0048】

次に、図 1 7 (a) に示すように、シリコンウエハ 1 A の p 型ウエル 4 に n 型不純物（リンまたはヒ素）をイオン注入することによって n^+ 型半導体領域（ソース、ドレイン領域）1 3 を形成し、n 型ウエル 5 に p 型不純物（ホウ素）をイオン注入することによって p^+ 型半導体領域（ソース、ドレイン領域）1 4 を形成する。また、図 1 7 (b) に示すように、シリコンウエハ 1 B の p 型ウエル 4 に n 型不純物（リンまたはヒ素）をイオン注入することによって n^+ 型半導体領域（ソース、ドレイン領域）1 3 を形成し、n 型ウエル 5 に p 型不純物（ホウ素）をイオン注入することによって p^+ 型半導体領域（ソース、ドレイン領域）1 4 を形成する。

【0 0 4 9】

ここまでの工程により、シリコンウエハ 1 A の入出力回路領域に 2. 5 V 耐圧の n チャネル型 MOS トランジスタ F_{na} および p チャネル型 MOS トランジスタ F_{pa} が形成され、内部回路領域に 1. 5 V 耐圧の n チャネル型 MOS トランジスタ Q_n および p チャネル型 MOS トランジスタ Q_p が形成される。また、シリコンウエハ 1 B の入出力回路領域に 3. 3 V 耐圧の n チャネル型 MOS トランジスタ F_{nb} および p チャネル型 MOS トランジスタ F_{pb} が形成され、内部回路領域に 1. 5 V 耐圧の n チャネル型 MOS トランジスタ Q_n および p チャネル型 MOS トランジスタ Q_p が形成される。

【0 0 5 0】

次に、図 1 8 (a) に示すように、シリコンウエハ 1 A 上に CVD 法で酸化シリコン膜 1 5 を堆積した後、フォトリソレジスト膜（図示せず）をマスクにして酸化シリコン膜 1 5 をドライエッチングすることにより、入出力回路領域の n チャネル型 MOS トランジスタ F_{na} および p チャネル型 MOS トランジスタ F_{pa} のそれぞれのソース、ドレイン領域（ n^+ 型半導体領域 1 3、 p^+ 型半導体領域 1 4）の上部にコンタクトホール 1 7 を形成し、内部回路領域の n チャネル型 MOS トランジスタ Q_n および p チャネル型 MOS トランジスタ Q_p のそれぞれのソース、ドレイン領域（ n^+ 型半導体領域 1 3、 p^+ 型半導体領域 1 4）の上部にコンタクトホール 1 6 を形成する。

【0 0 5 1】

また、図18(b)に示すように、シリコンウエハ1B上にCVD法で酸化シリコン膜15を堆積した後、フォトリソグラフ膜（図示せず）をマスクにして酸化シリコン膜15をドライエッチングすることにより、入出力回路領域のnチャネル型MOSトランジスタFnbおよびpチャネル型MOSトランジスタFpbのそれぞれのソース、ドレイン領域（ n^+ 型半導体領域13、 p^+ 型半導体領域14）の上部にコンタクトホール17を形成し、内部回路領域のnチャネル型MOSトランジスタQnおよびpチャネル型MOSトランジスタQpのそれぞれのソース、ドレイン領域（ n^+ 型半導体領域13、 p^+ 型半導体領域14）の上部にコンタクトホール16を形成する。

【0052】

図19に示すように、シリコンウエハ1Bの入出力回路領域に形成された3. 3V耐圧のnチャネル型MOSトランジスタFnbおよびpチャネル型MOSトランジスタFpbは、ソース、ドレイン領域（ n^+ 型半導体領域13、 p^+ 型半導体領域14）と配線とを接続するためのコンタクトホール17とゲート電極8bとの間隔が、この間隔の最小加工寸法（a）で形成される。また、内部回路領域に形成された1. 5V耐圧のnチャネル型MOSトランジスタQnおよびpチャネル型MOSトランジスタQpは、ソース、ドレイン領域（ n^+ 型半導体領域13、 p^+ 型半導体領域14）と配線とを接続するためのコンタクトホール17とゲート電極8cとの間隔が、この間隔の最小加工寸法（a）で形成される。

【0053】

図20に示すように、シリコンウエハ1Aの入出力回路領域に形成された2. 5V耐圧のnチャネル型MOSトランジスタFnbおよびpチャネル型MOSトランジスタFpbは、前記3. 3V耐圧のnチャネル型MOSトランジスタFnbおよびpチャネル型MOSトランジスタFpbが形成された活性領域30と同一の面積を有する活性領域30に形成される。そのため、2. 5V耐圧のnチャネル型MOSトランジスタFnbおよびpチャネル型MOSトランジスタFpbは、コンタクトホール17とゲート電極8aとの間隔が、この間隔の最小加工寸法（a）よりも大きくなる。

【0054】

次に、図 2 1 に示すように、シリコンウエハ 1 A 上にメタル配線 2 0 ~ 2 7 を形成し、図 2 2 に示すように、シリコンウエハ 1 B 上にメタル配線 2 0 ~ 2 7 を形成する。メタル配線 2 0 ~ 2 7 は、例えばコンタクトホール 1 6、1 7 の内部を含む酸化シリコン膜 1 5 上にスパッタリング法で A 1 合金膜を堆積し、フォトレジスト膜をマスクにしたドライエッチングでこの A 1 合金膜をパターニングすることによって形成する。シリコンウエハ 1 A 上のメタル配線 2 0 ~ 2 7 とシリコンウエハ 1 B 上のメタル配線 2 0 ~ 2 7 は、同一のフォトマスクを使って同一の方法で形成する。

【 0 0 5 5 】

実際の S R A M は、上記メタル配線 2 0 ~ 2 7 の上部に 3 層程度のメタル配線を形成するが、その説明は省略する。これらのメタル配線は、メタル配線 2 0 ~ 2 7 と同様、シリコンウエハ 1 A とシリコンウエハ 1 B とで同一のフォトマスクを使い、同一の方法によって形成する。その後、シリコンウエハ 1 A を複数のシリコンチップ 1 a に個片化し、シリコンウエハ 1 B を複数のシリコンチップ 1 b に個片化することにより、前記図 1 に示す 2. 5 V 仕様の S R A M が形成されたシリコンチップ 1 a と、前記図 2 に示す 3. 3 V 仕様の S R A M が形成されたシリコンチップ 1 b が得られる。

【 0 0 5 6 】

このように、本実施形態によれば、2. 5 V 仕様の S R A M は、入出力回路を構成する M O S トランジスタを 2. 5 V 耐圧 M O S トランジスタで構成し、3. 3 V 仕様の S R A M は、入出力回路を構成する M O S トランジスタを 3. 3 V 耐圧 M O S トランジスタで構成する。これにより、2. 5 V 耐圧 M O S トランジスタも 3. 3 V 耐圧 M O S トランジスタも十分な電流駆動能力が得られるため、いずれの仕様の S R A M も入出力回路の高速化が可能となる。

【 0 0 5 7 】

また、本実施形態によれば、2. 5 V 耐圧 M O S トランジスタで構成された入出力と 3. 3 V 耐圧 M O S トランジスタで構成された入出力回路を同一チップ内に形成する必要がないので、チップ面積の増加を抑制することができ、高速 S R A M を安価に提供することが可能となる。

【 0 0 5 8 】

また、本実施形態によれば、外部電源電圧仕様に対応した 2 種類の S R A M の製造工程の多くの部分を共通化することができるので、同一機能の S R A M を電源電圧仕様毎に個別に開発する場合に比べて設計作業が軽減され、開発期間の短縮および製造コストの低減が可能となる。

【 0 0 5 9 】

また、本実施形態によれば、2 種類の S R A M に共通する製造工程の一部が済んだシリコンウエハを用意しておき、生産数量が確定した後、このシリコンウエハを使って 2 種類の S R A M を製造するので、受注から納品までの期間を短縮することが可能となる。

【 0 0 6 0 】

(実施の形態 2)

前記実施の形態 1 では、3. 3 V 耐圧 M O S トランジスタのゲート絶縁膜厚 (T O X)、ゲート長 (L g) をそれぞれ 8 n m、0. 4 μ m とし、2. 5 V 耐圧 M O S トランジスタのゲート絶縁膜厚 (T O X)、ゲート長 (L g) をそれぞれ 6 n m、0. 3 μ m としたが、図 2 4 に示すように、3. 3 V 耐圧 M O S トランジスタのゲート絶縁膜厚 (T O X) を 8 n m、2. 5 V 耐圧 M O S トランジスタのゲート絶縁膜厚 (T O X) を 6 n m とし、ゲート長 (L g) は共通の 0. 4 μ m としてもよい。

【 0 0 6 1 】

また、図 2 5 に示すように、3. 3 V 耐圧 M O S トランジスタのチャネル形成領域に追加のイオン注入を行い、3. 3 V の電源電圧で高速動作するよう、さらに最適化を図ることもできる。

【 0 0 6 2 】

また、図 2 6 に示すように、3. 3 V 耐圧 M O S トランジスタのコンタクトホール 1 7 と活性領域 3 0 の端部との間の寸法 (c) をコンタクトホール 1 7 とゲート電極 8 b との間隔の最小加工寸法 (a) と同じにし、2. 5 V 耐圧 M O S トランジスタのコンタクトホール 1 7 と活性領域 3 0 の端部との間の寸法 (c') をコンタクトホール 1 7 とゲート電極 8 a との間隔の最小加工寸法 (a) よりも

α だけ大きくしてもよい ($a + \alpha$)。ここで、 α は、3.3 V 耐圧 MOS トランジスタの最小加工ゲート長 (L_g) と 2.5 V 耐圧 MOS トランジスタの最小加工ゲート長 (L_g) との差の 2 分の 1 である。

【 0 0 6 3 】

この場合、2.5 V 耐圧 MOS トランジスタは、コンタクトホール 17 とゲート電極 8a との間隔が最小加工寸法 (a) と同じになるため、拡散抵抗による電流低下を抑制することができる。

【 0 0 6 4 】

また、図 27 に示すように、I/O 電源電圧 (V_{DDQ}) の低い方の仕様が内部電源電圧 (V_{DDI}) と等しいような場合は、図 28 に示すように、2.5 V 仕様の入出力回路は、内部回路と同じ 1.5 V 耐圧の MOS トランジスタで構成することもできる。この場合、2.5 V 仕様の SRAM は、すべての MOS トランジスタが 1 種類のゲート絶縁膜で構成されるため、製造工程をより低減することが可能となる。

【 0 0 6 5 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 0 6 6 】

前記実施の形態では、2 種類の外部電源電圧仕様に対応した SRAM に適用した場合について説明したが、本発明は、複数の外部電源電圧仕様に対応した高速 IC を有する半導体装置一般に適用することができる。

【 0 0 6 7 】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【 0 0 6 8 】

本発明によれば、複数の電源電圧仕様に対応した半導体装置の高速動作を実現することができる。

【 0 0 6 9 】

本発明によれば、複数の電源電圧仕様に対応した半導体装置の製造コストを低減することができる。

【 0 0 7 0 】

本発明によれば、複数の電源電圧仕様に対応した半導体装置の開発期間を短縮することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態である S R A M が形成された半導体チップのブロック図である。

【図 2】

本発明の一実施形態である S R A M が形成された半導体チップのブロック図である。

【図 3】

本発明の一実施形態である S R A M のデータ出力回路を示す回路図である。

【図 4】

図 3 に示すデータ出力回路の内部動作波形を示す図である。

【図 5】

本発明の一実施形態である S R A M のアドレス入力回路およびデータ入力レジスタを示す回路図である。

【図 6】

図 5 に示すアドレス入力回路に入力されるアドレス入力信号の振幅を示す図である。

【図 7】

(a) は、第 1 のシリコンチップに形成された 3 . 3 V 耐圧 M O S トランジスタの平面図、(b) は、第 2 のシリコンチップに形成された 1 . 5 V 耐圧 M O S トランジスタの平面図である。

【図 8】

(a) は、第 1 のシリコンチップに形成された 2 . 5 V 耐圧 M O S トランジスタ

の平面図、（b）は、第2のシリコンチップに形成された1.5V耐圧MOSトランジスタの平面図である。

【図9】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図10】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図11】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図12】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図13】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図14】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図15】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図16】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図17】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図18】

本発明の一実施形態であるSRAMの製造方法を示す断面図である。

【図19】

本発明の一実施形態であるSRAMの製造方法を示す平面図および断面図である。

【図20】

本発明の一実施形態であるSRAMの製造方法を示す平面図および断面図である。

【図21】

本発明の一実施形態である S R A M の製造方法を示す断面図である。

【図 2 2】

本発明の一実施形態である S R A M の製造方法を示す断面図である。

【図 2 3】

本発明の一実施形態である S R A M の製造方法を示すフロー図である。

【図 2 4】

本発明の他の実施形態である S R A M の製造方法を示すフロー図である。

【図 2 5】

本発明の他の実施形態である S R A M の製造方法を示すフロー図である。

【図 2 6】

本発明の他の実施形態である S R A M の M O S トランジスタを示す平面図である。

【図 2 7】

本発明の S R A M の電源電圧仕様を示した図である。

【図 2 8】

本発明の他の実施形態である S R A M の M O S トランジスタを示す平面図である。

【図 2 9】

L S I に要求される電源電圧仕様の一例を示した図である。

【図 3 0】

図 2 9 に示した電源電圧に対応するように最適化された M O S トランジスタのゲート絶縁膜厚 (T O X) および最小加工ゲート長 (L g) の一例を示した図である。

【図 3 1】

図 2 9 に示す電源電圧仕様に対応した L S I の回路構成の一例を示す回路ブロック図である。

【図 3 2】

図 3 1 に示す回路の一部を詳細に示す回路図である。

【図 3 3】

図 3 2 に示す回路の内部動作波形を示す図である。

【図 3 4】

図 2 9 に示す電源電圧仕様に対応した L S I の回路構成の他の例を示す回路ブロック図である。

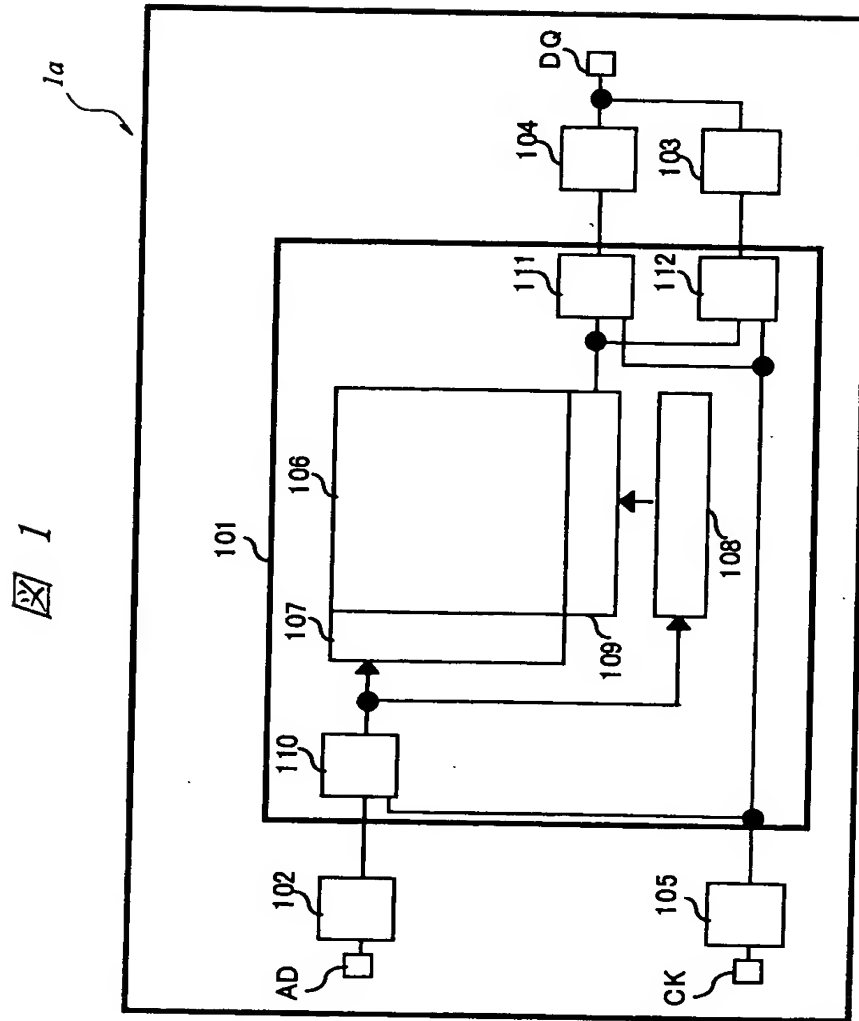
【符号の説明】

- 1 1 A、1 B シリコンウエハ（基板）
- 1 a、1 b シリコンチップ
- 2 素子分離溝
- 3 酸化シリコン膜
- 4 p 型ウエル
- 5 n 型ウエル
- 6 a、6 b 酸化シリコン膜
- 7 a、7 b、7 c ゲート絶縁膜
- 8 a、8 b、8 c ゲート電極
- 9 活性領域
- 1 0 n⁻型半導体領域
- 1 1 p⁻型半導体領域
- 1 2 サイドウォールスペーサ
- 1 3 n⁺型半導体領域（ソース、ドレイン領域）
- 1 4 p⁺型半導体領域（ソース、ドレイン領域）
- 1 5 酸化シリコン膜
- 1 6、1 7 コンタクトホール
- 2 0 ～ 2 7 メタル配線
- 3 0、3 1 活性領域
- 4 0、4 1 フォトレジスト膜
- 1 0 1 内部回路
- 1 0 2 アドレス入力回路
- 1 0 3 データ入力回路
- 1 0 4 データ出力回路

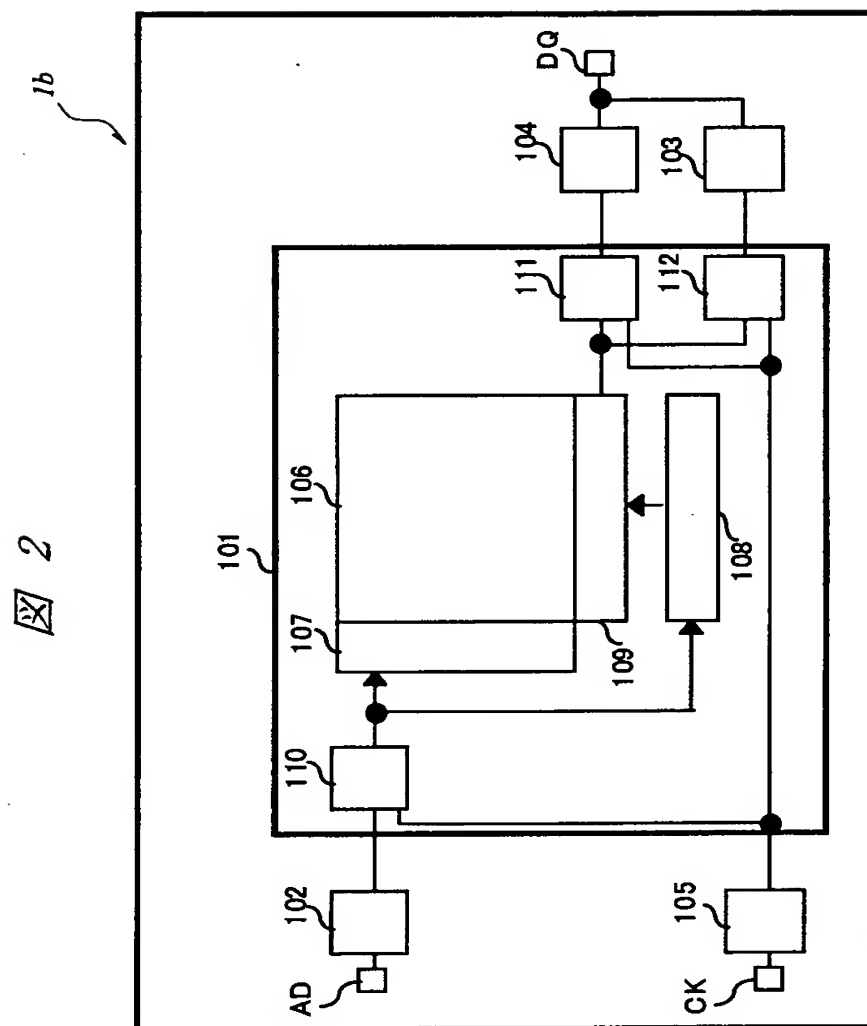
- 1 0 5 クロックバッファ
- 1 0 6 メモリセルアレイ
- 1 0 7 ロウデコーダ
- 1 0 8 カラムデコーダ
- 1 0 9 センスアンプ／ライトアンプ
- 1 1 0 アドレスレジスタ
- 1 1 1 データ出力レジスタ
- 1 1 2 データ入力レジスタ
- A D アドレス入力パッド
- C K クロック入力パッド
- D Q データ入出力パッド

【書類名】 図面

【図 1】

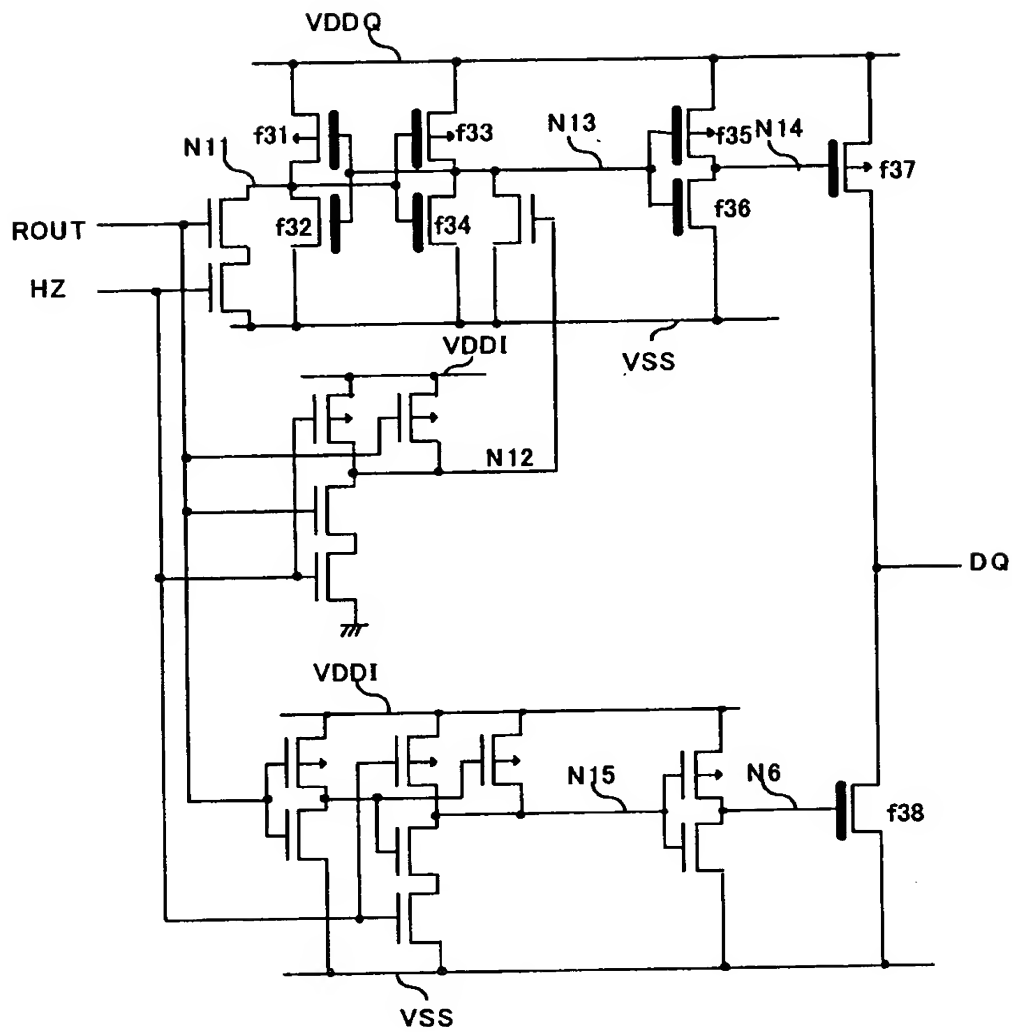


【図 2】



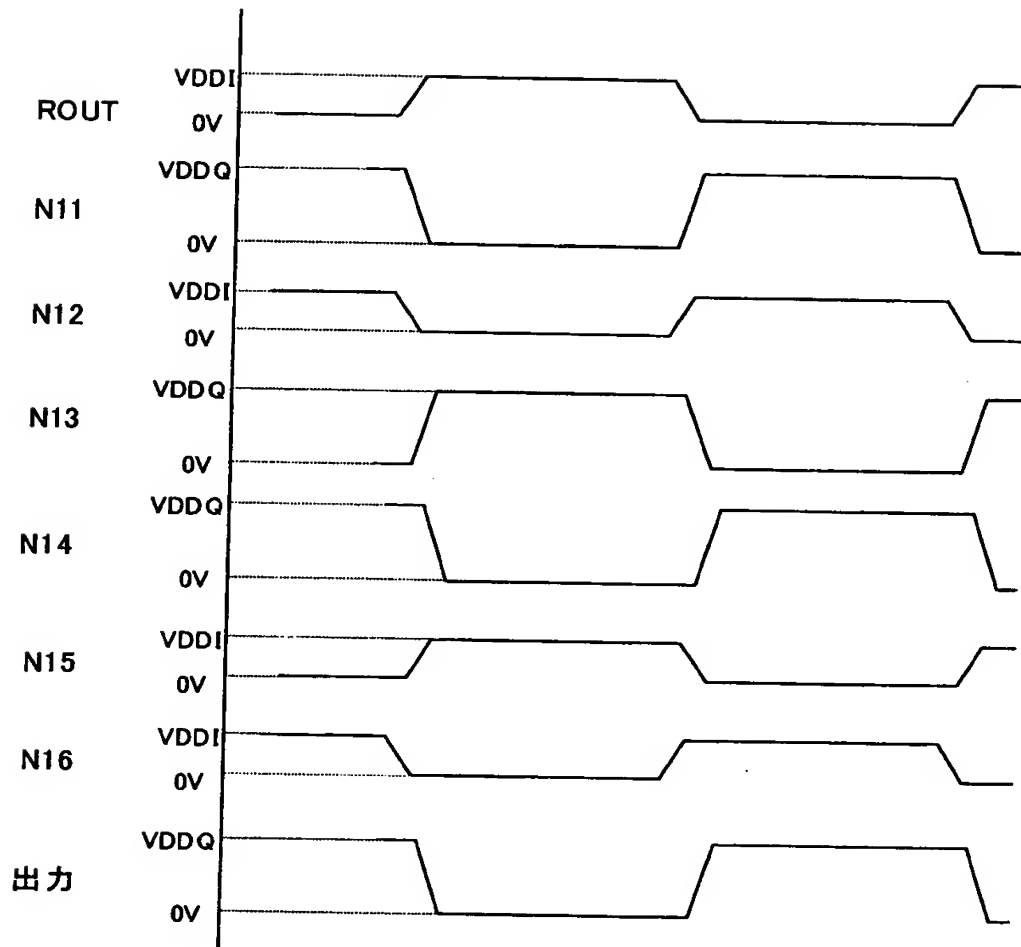
【図 3】

図 3



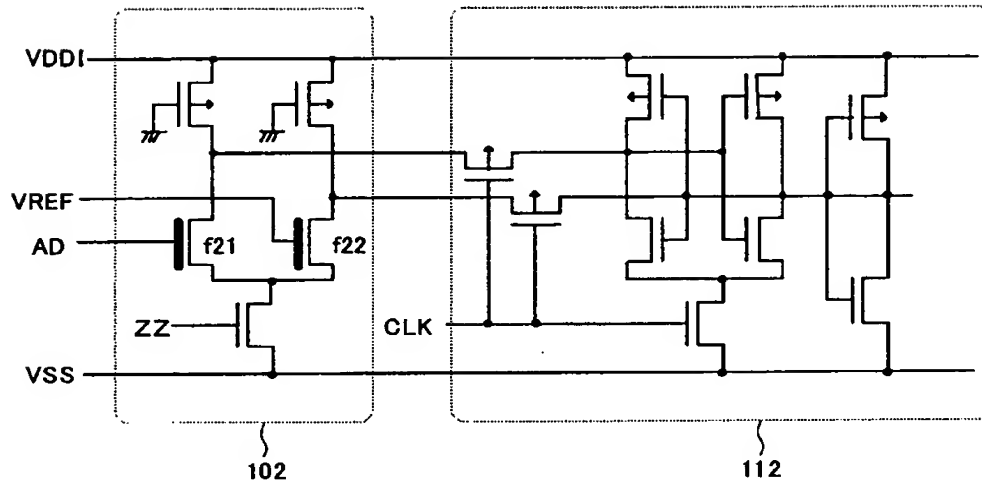
【図 4】

図 4



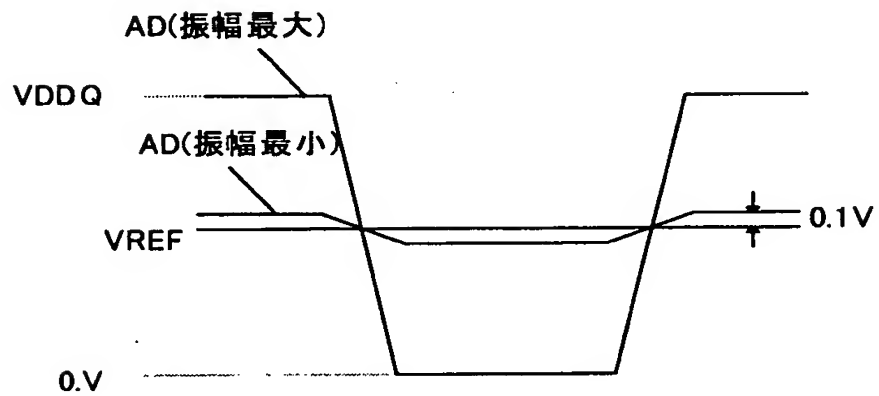
【図 5】

図 5



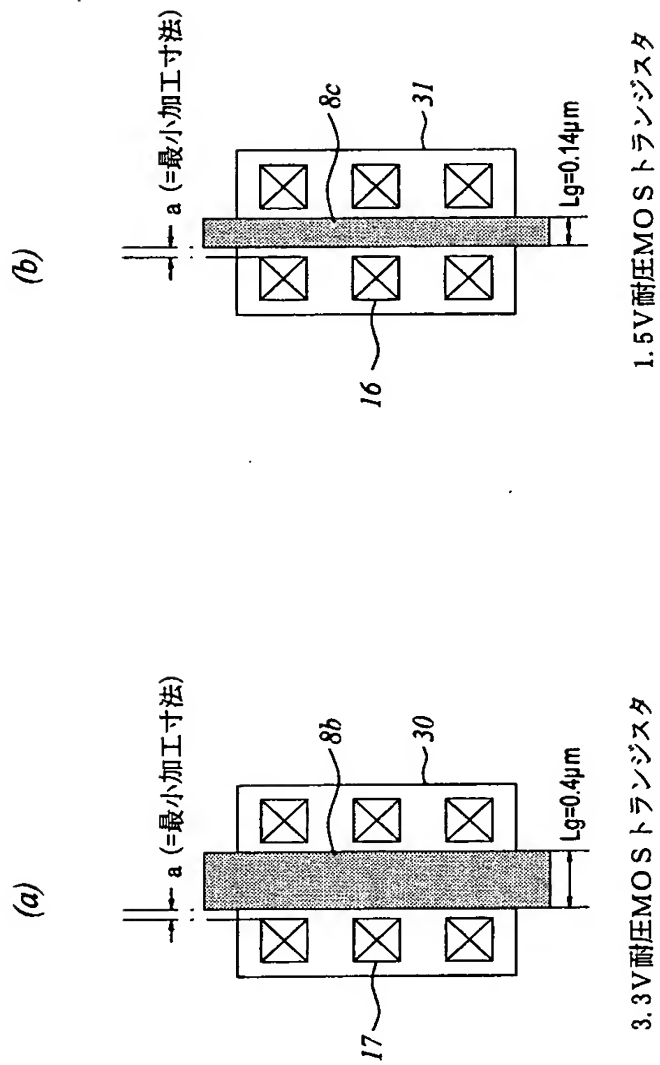
【図 6】

図 6



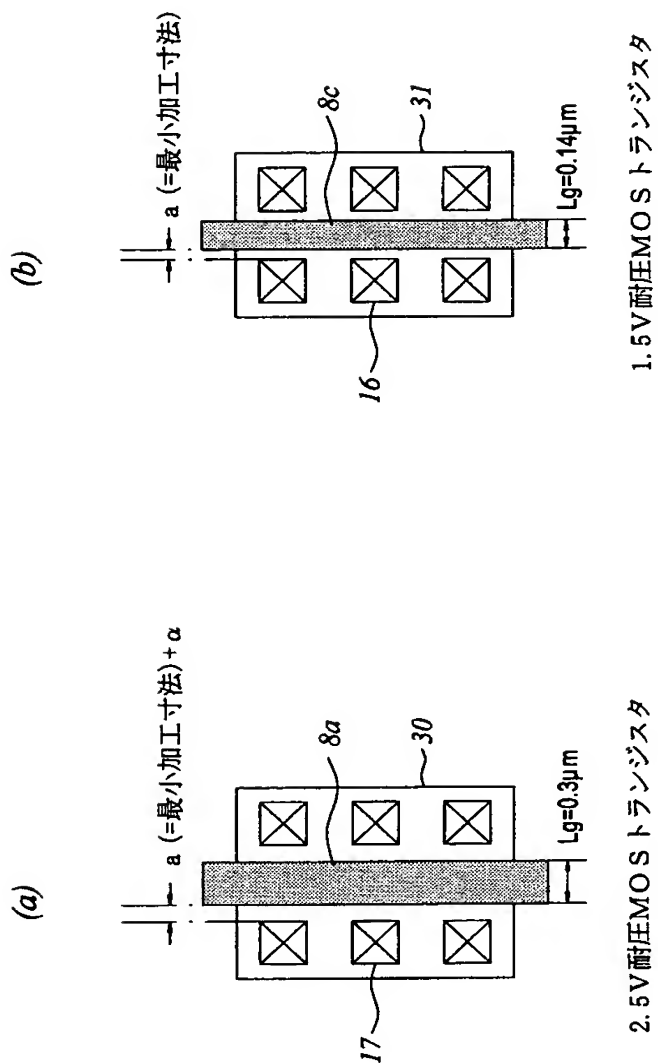
【図 7】

図 7



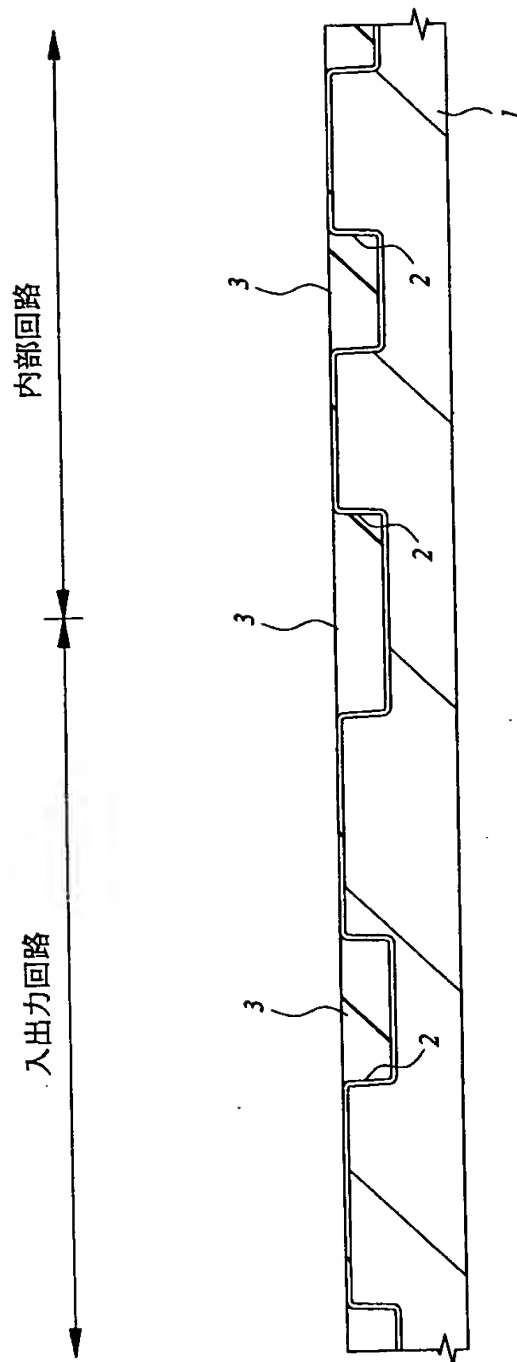
【図 8】

8



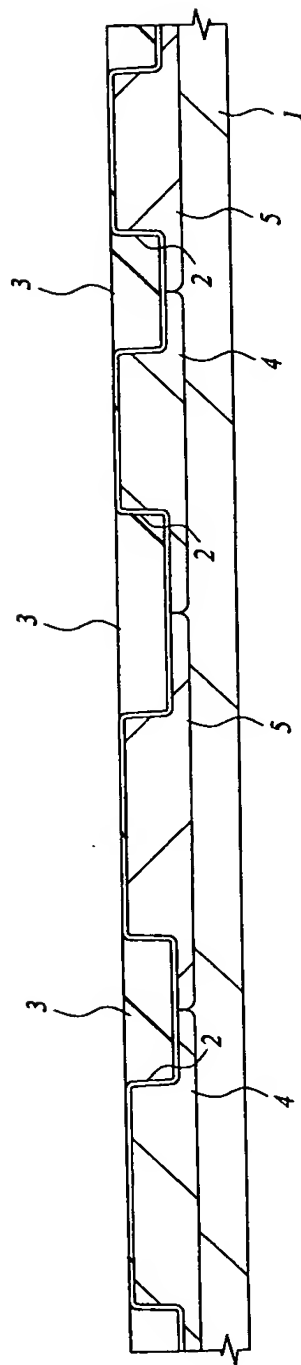
【図 9】

図 9



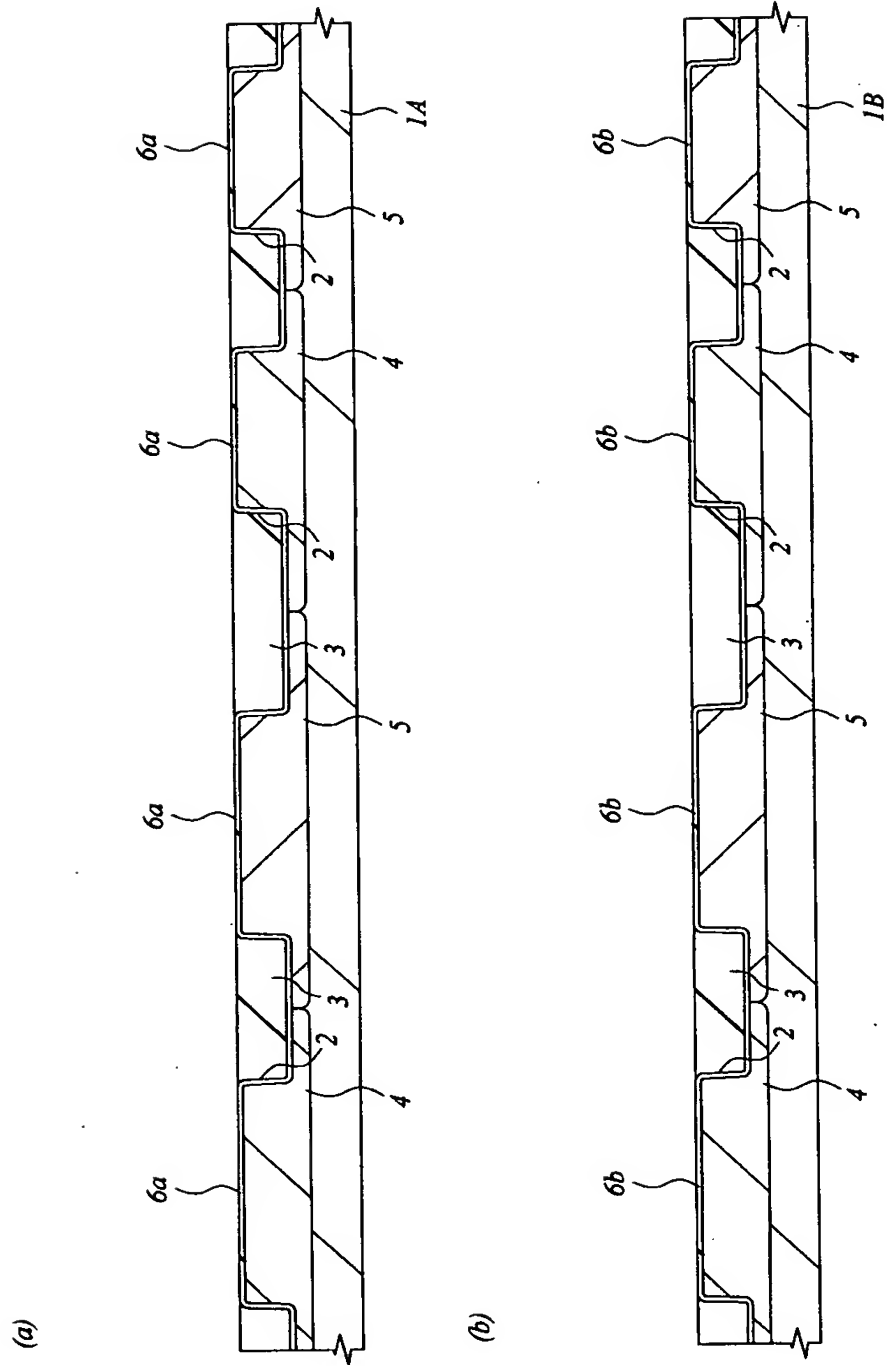
【図 1 0】

図 10

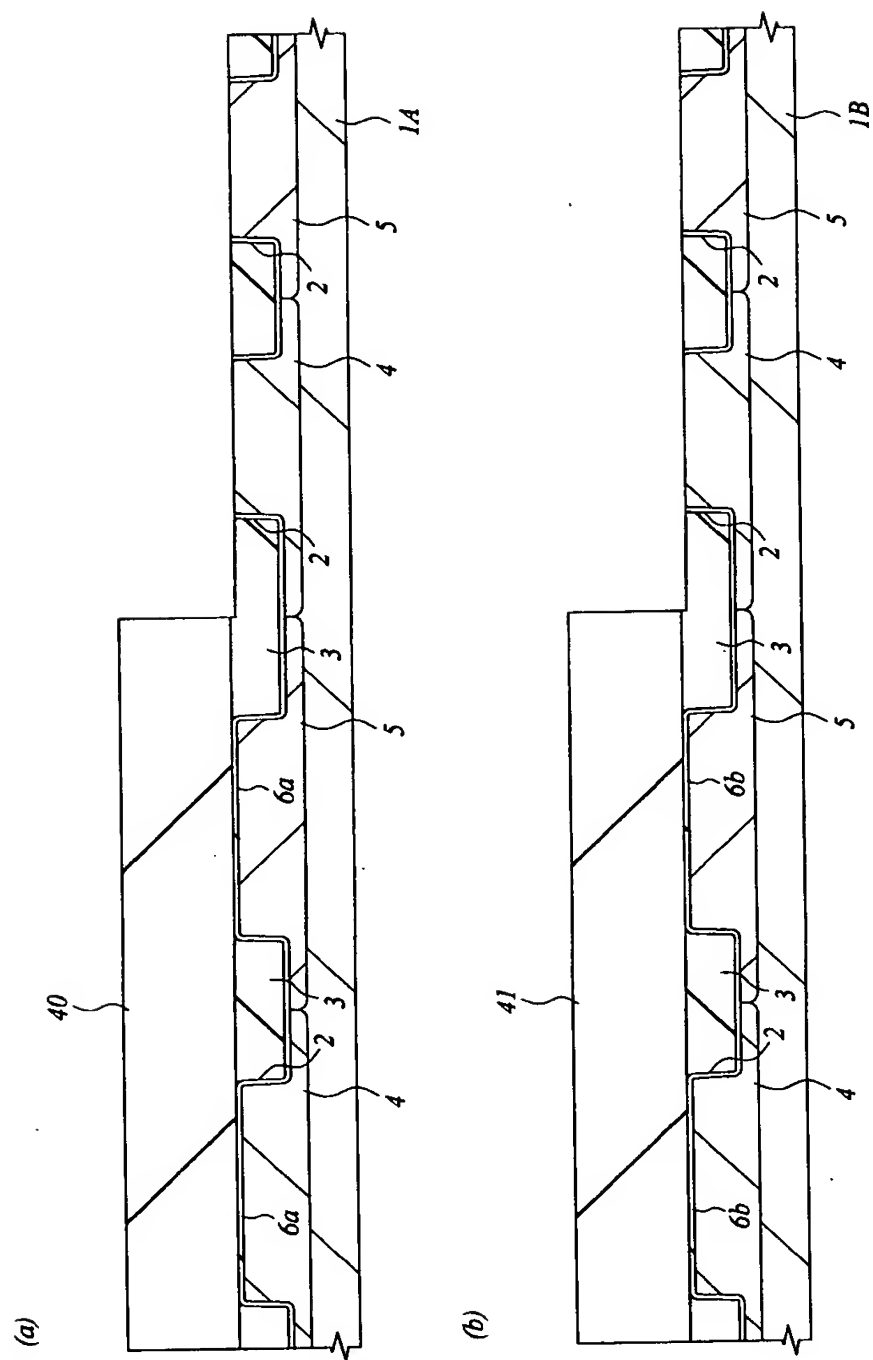


【図 11】

図 11

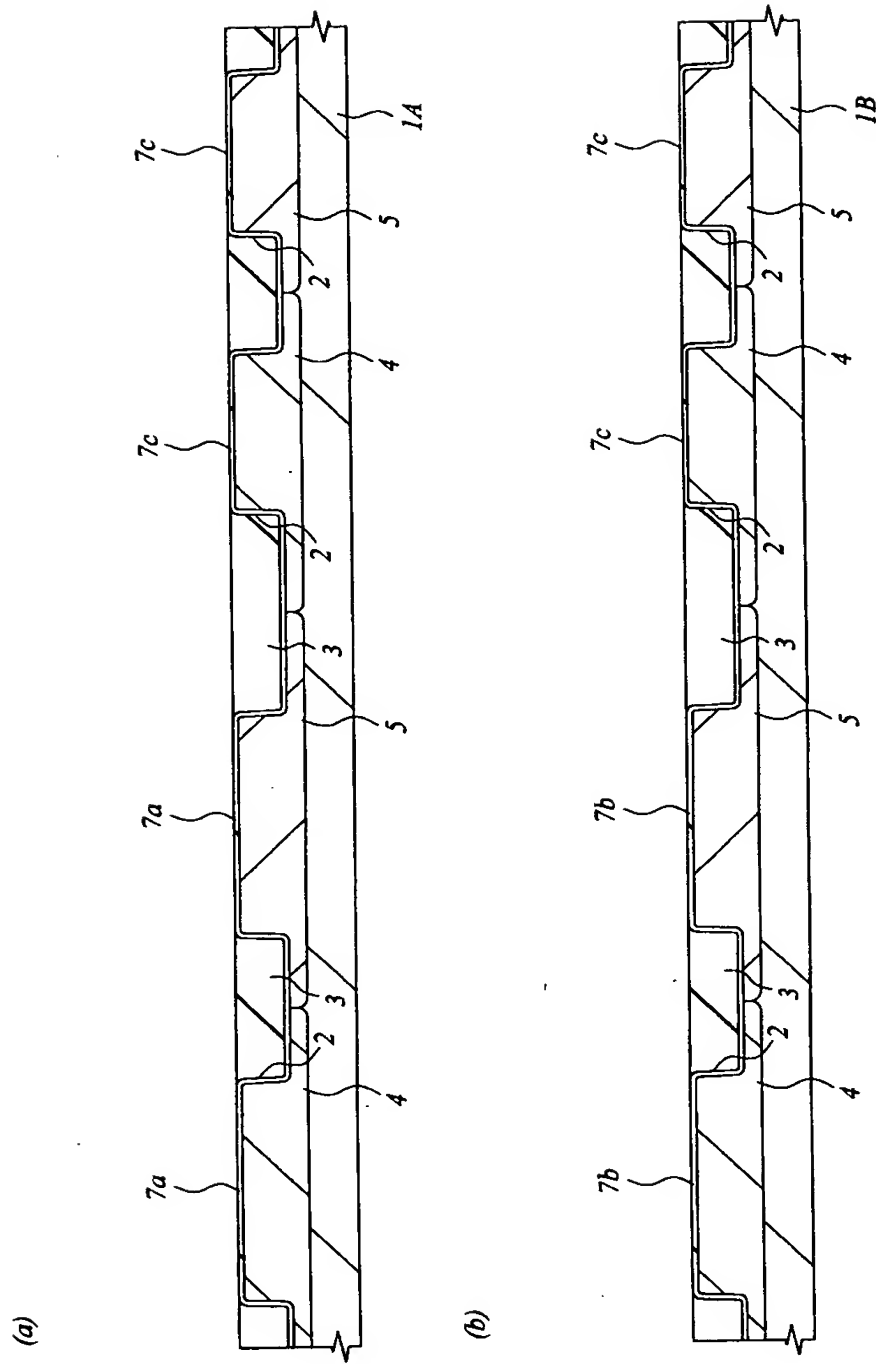


【圖 12】



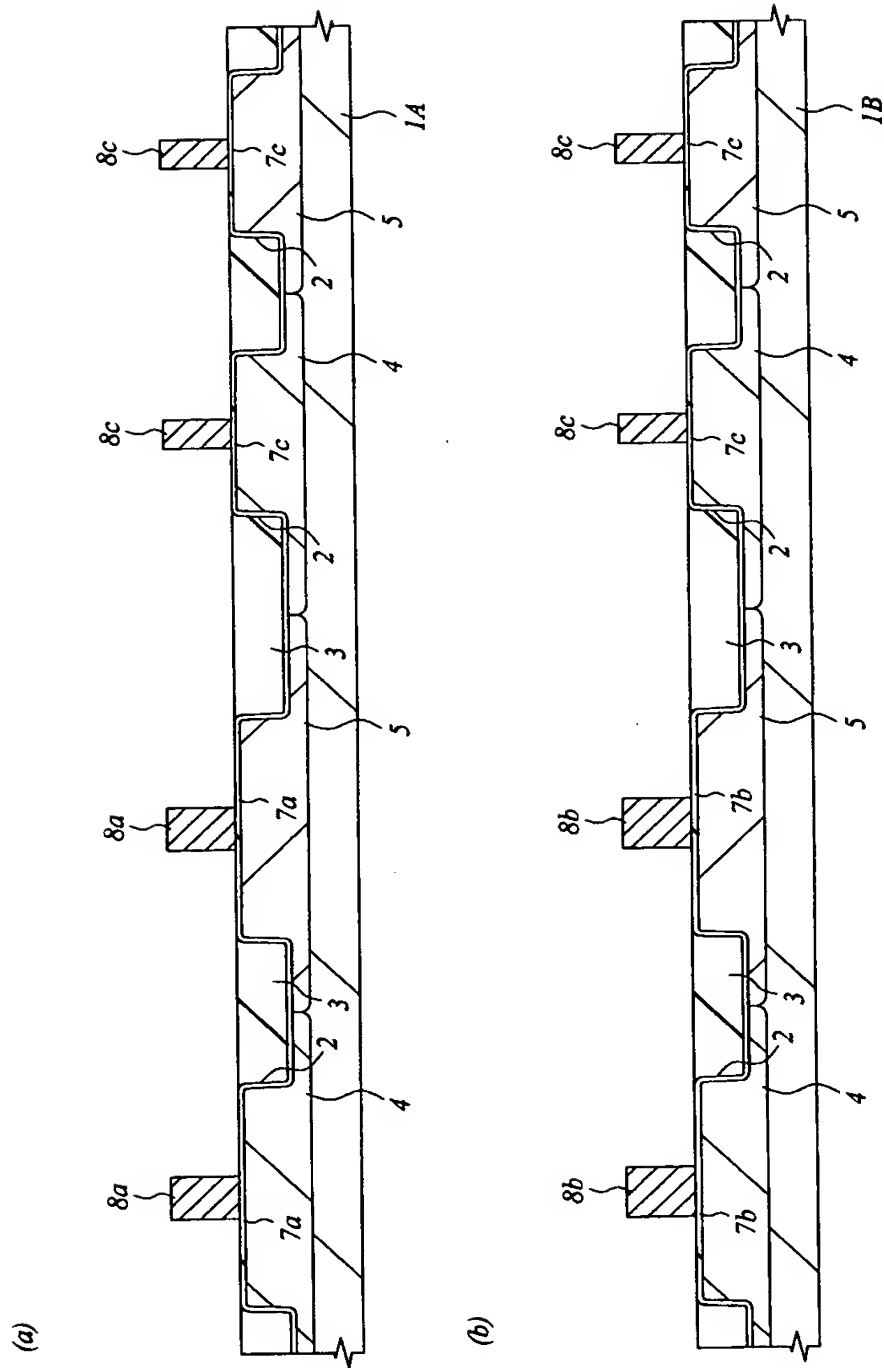
【図13】

図 13



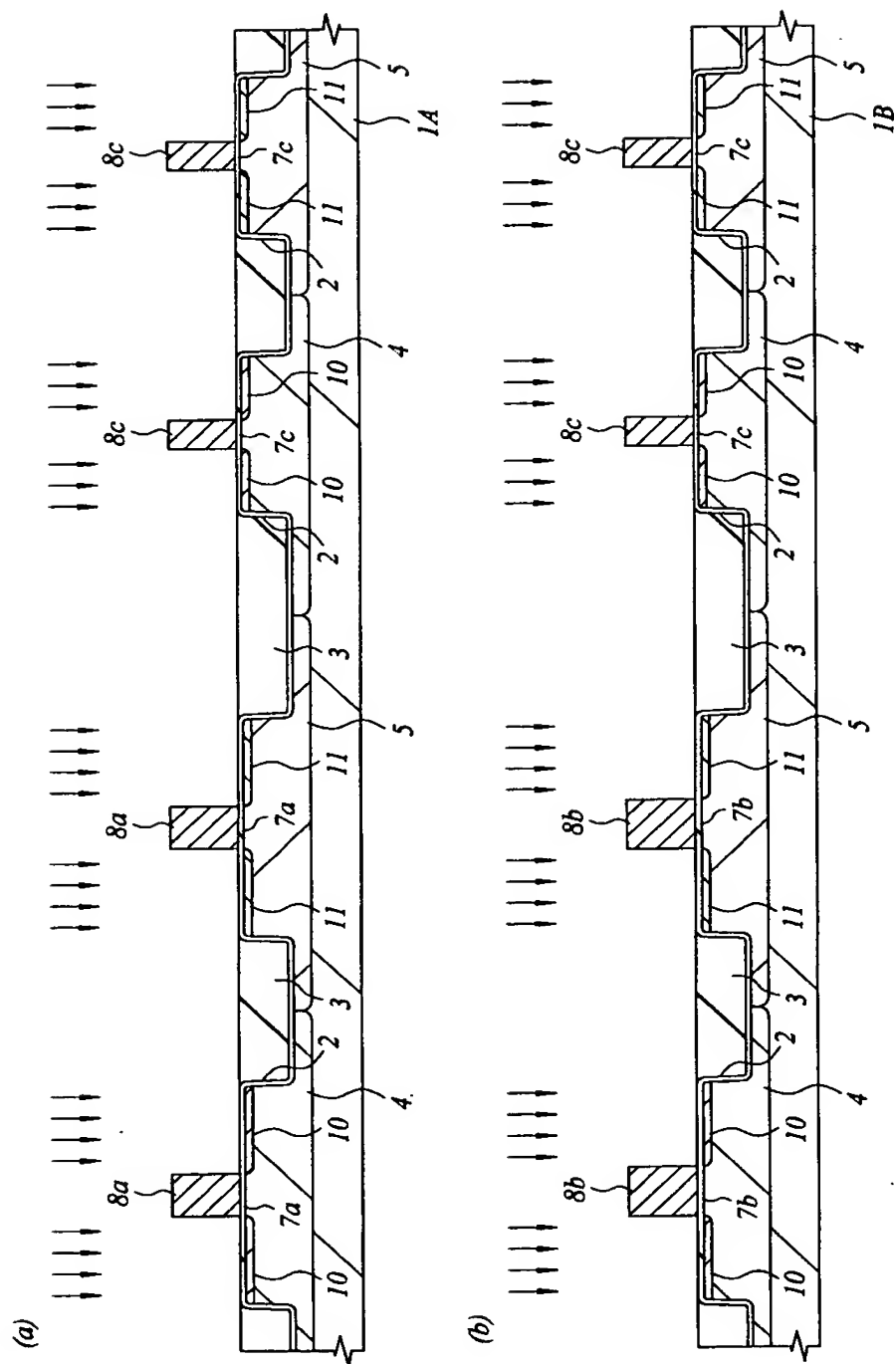
【図14】

図 14



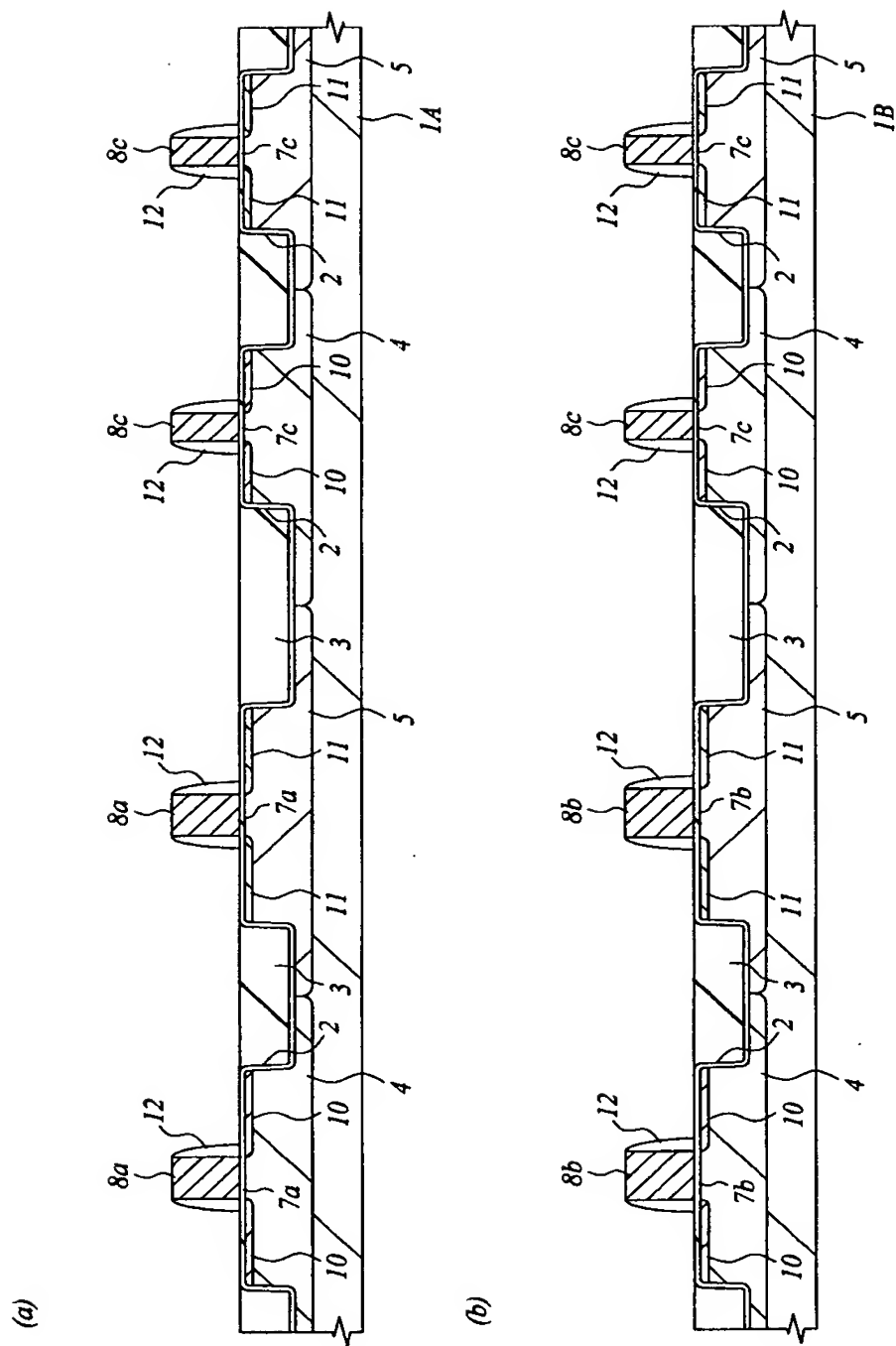
【図 15】

図 15



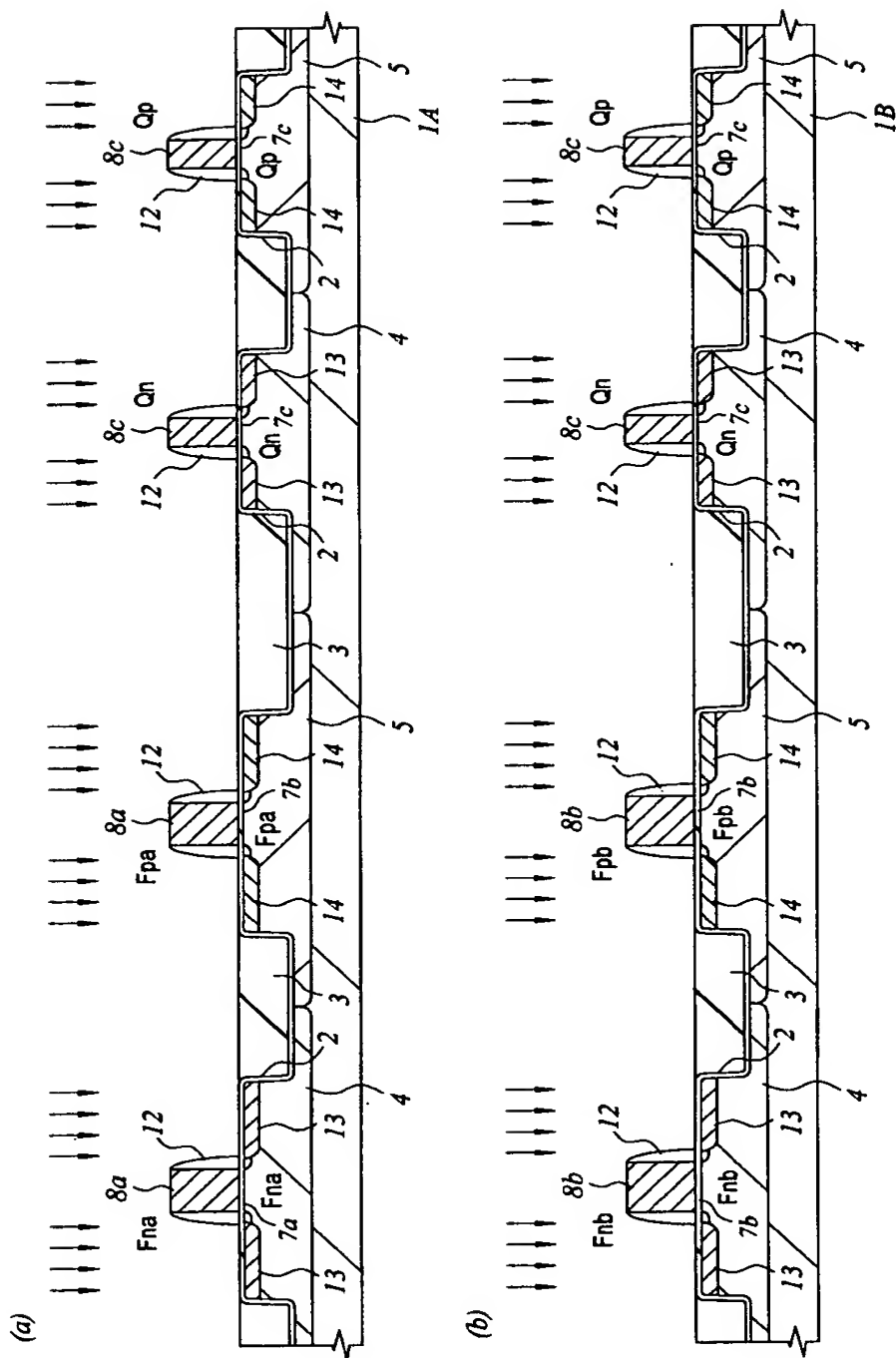
【図 16】

図 16



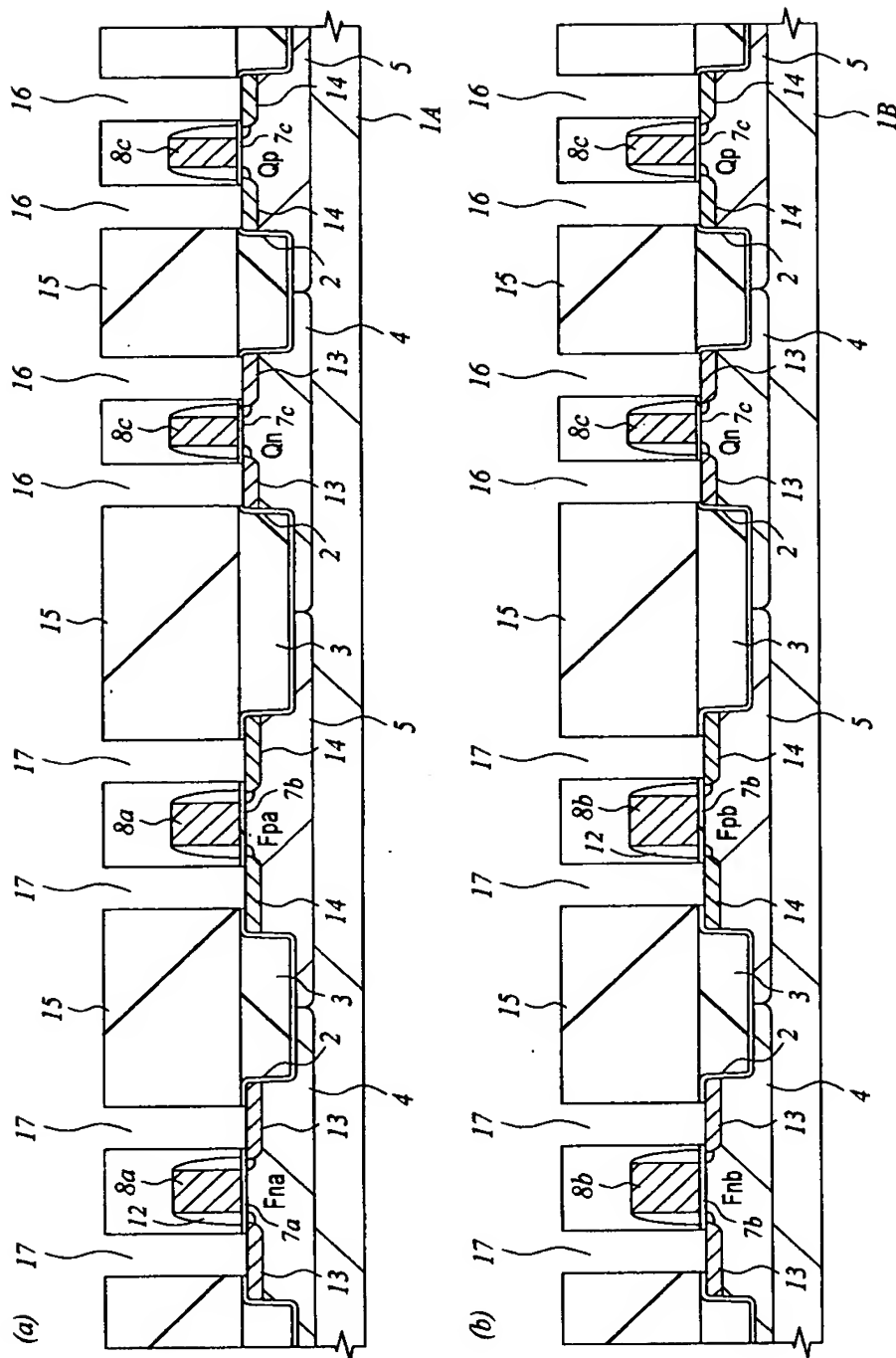
【図 17】

図 17



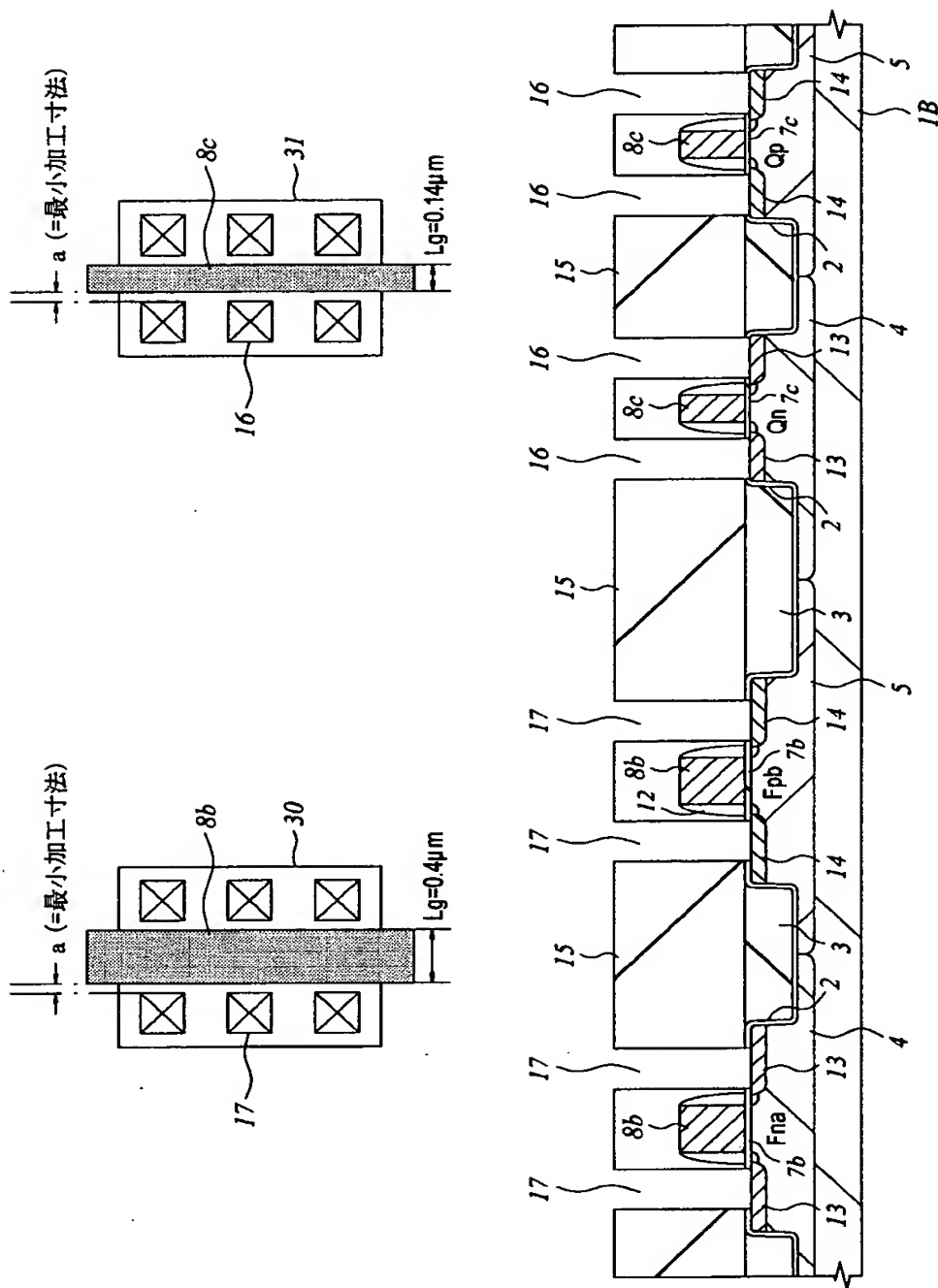
【図 18】

図 18

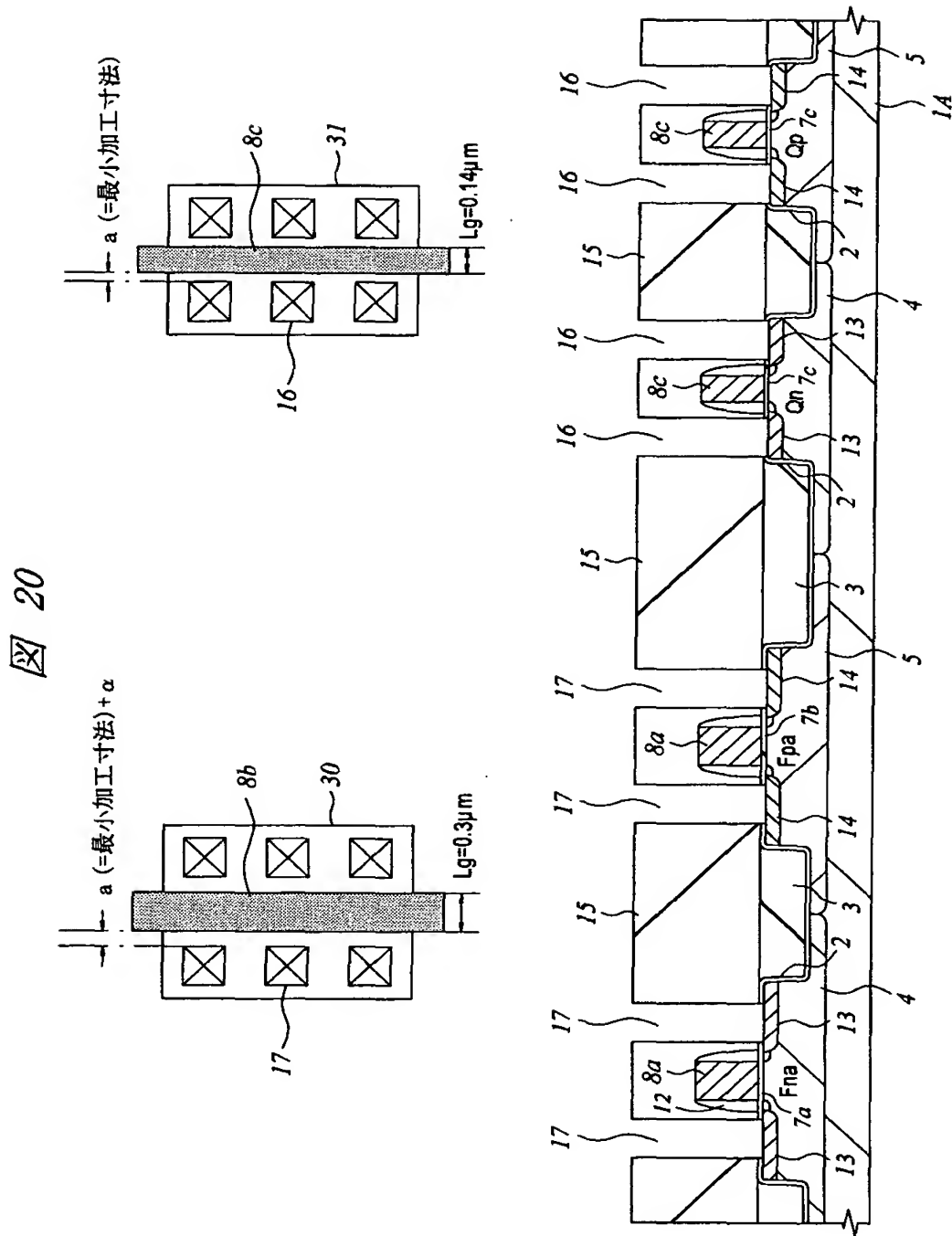


【図 19】

図 19

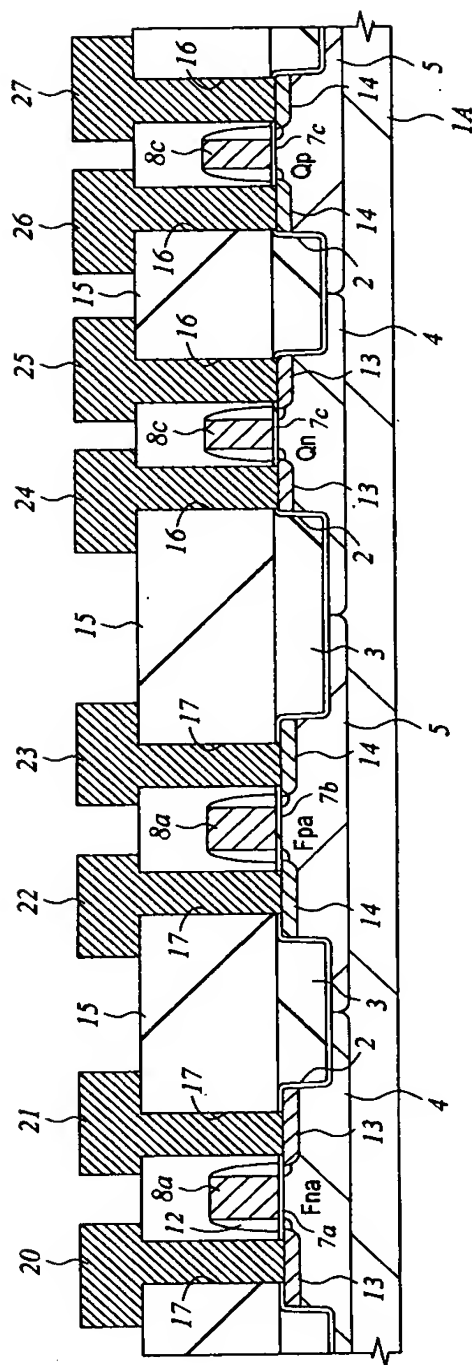


【図 20】



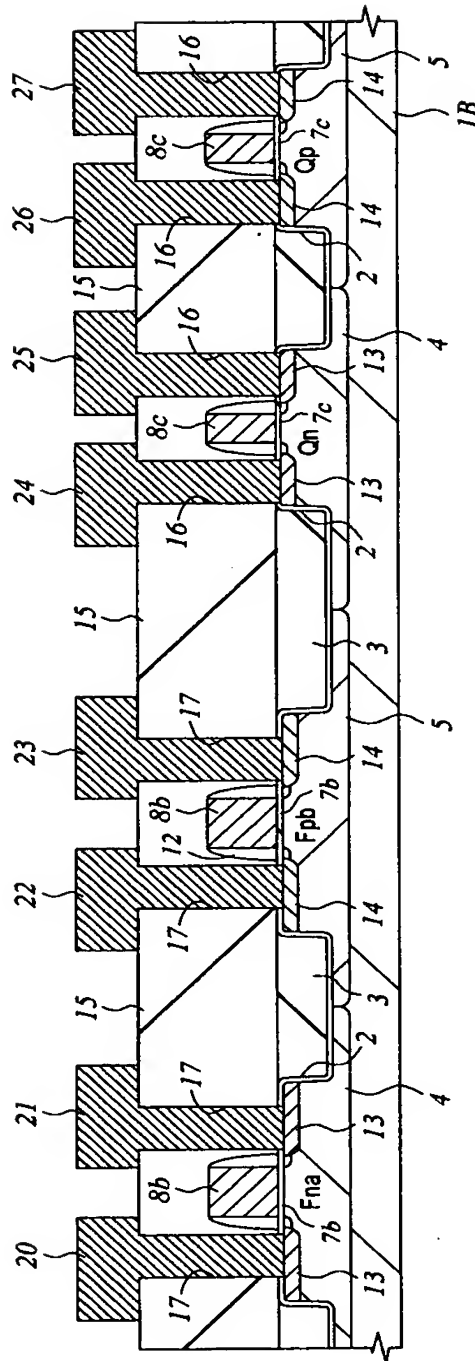
【図 21】

図 21



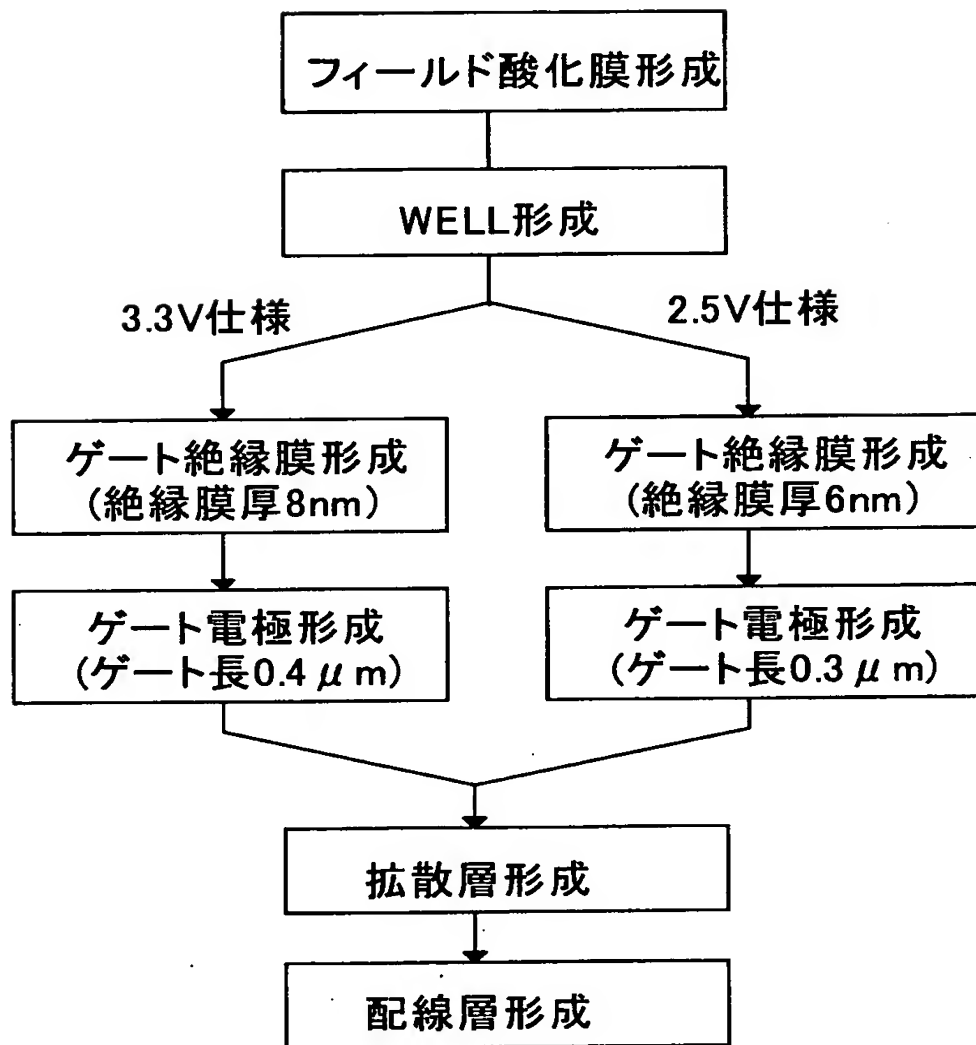
【図 22】

図 22



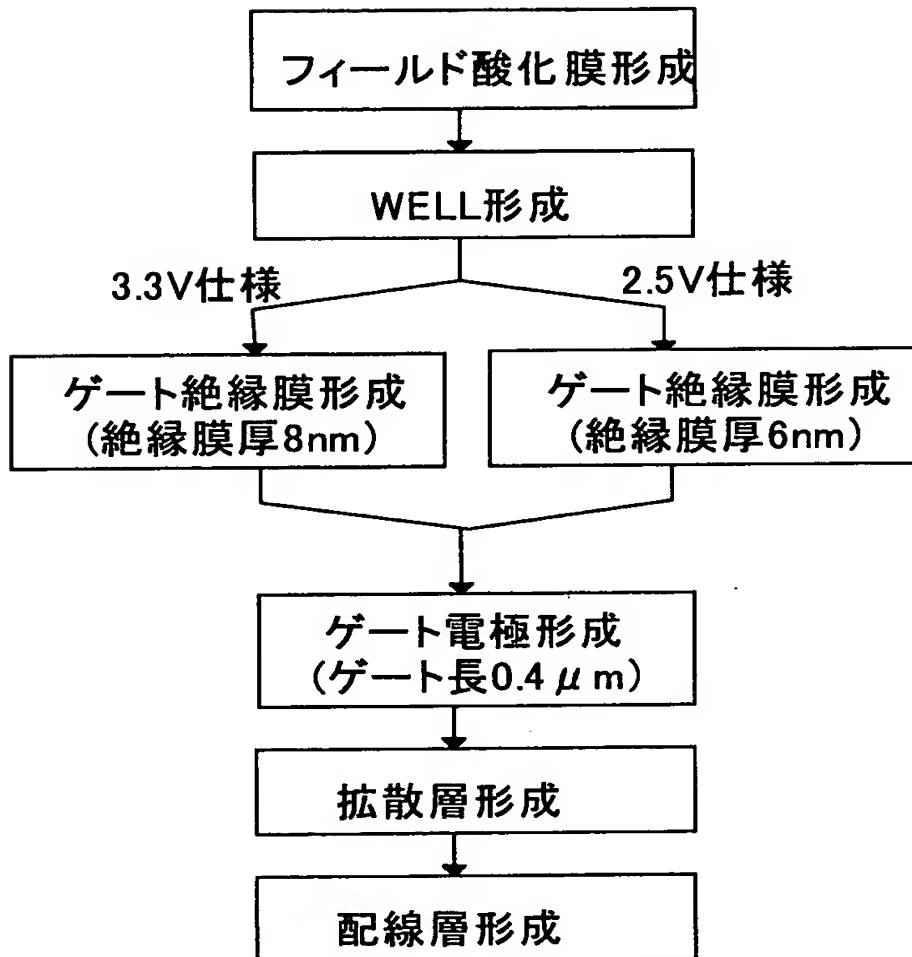
【図 23】

図 23



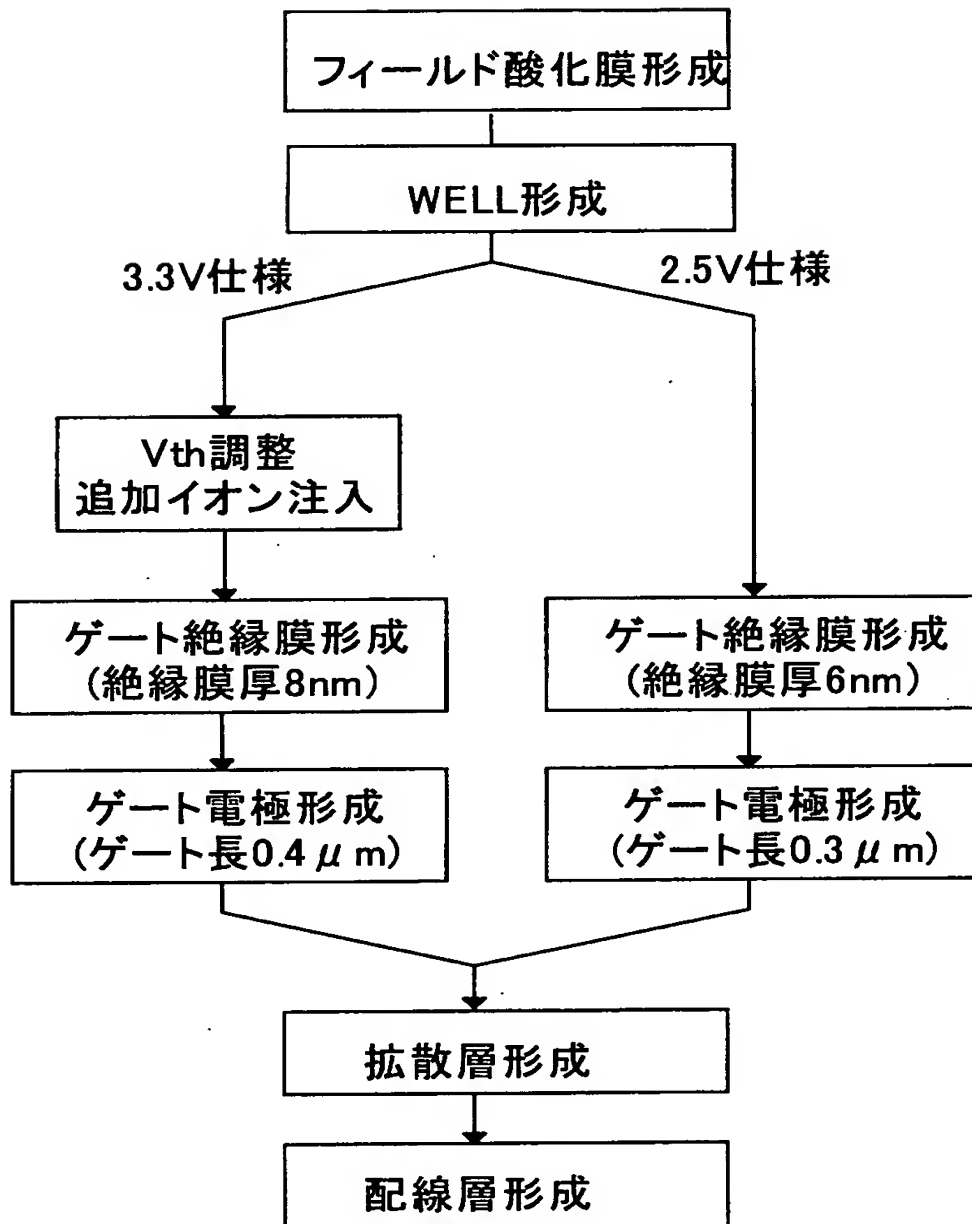
【図 2 4】

図 24



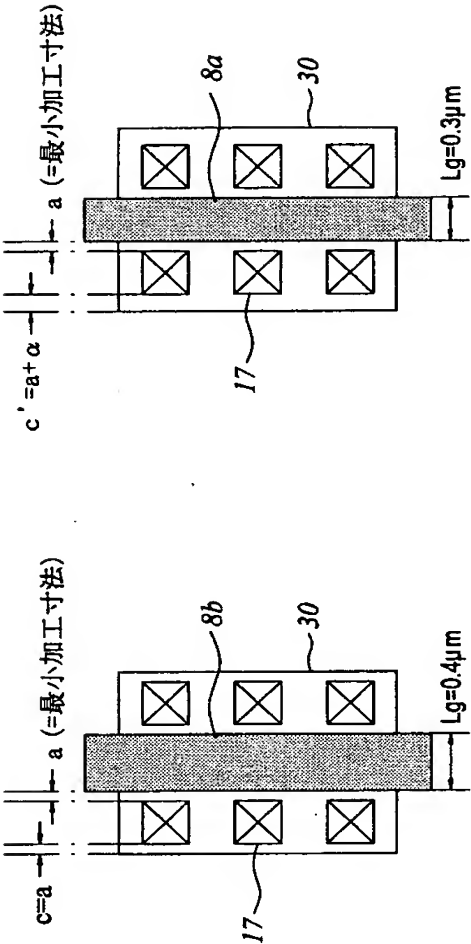
【図 25】

図 25



【図 2 6】

図 26



2.5V耐圧MOSトランジスタ

3.3V耐圧MOSトランジスタ

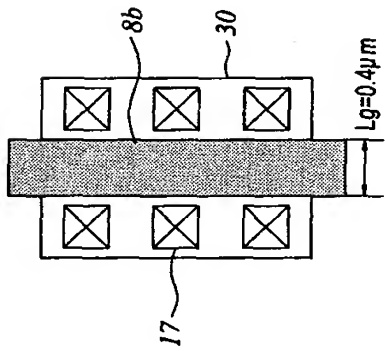
【図 2 7】

図 27

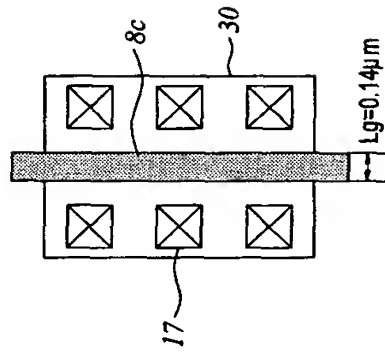
仕様	電源電圧		I/O 電源電圧		入力信号レベル		内部回路電源電圧
	VDD	VDDQ	VDDQ	VDDQ	VILmin	VIHmax	VDDI
3.3V仕様	3.3V	3.3V	3.3V	3.3V	0V	VDDQ	1.5V
2.5V仕様	2.5V	1.5V	1.5V	1.5V	0V	VDDQ	1.5V

【図28】

28



3.3V耐圧MOSトランジスタ



2.5V耐圧MOSトランジスタ

【図 2 9】

図 29

仕様	電源電圧	I/O 電源電圧	入力信号レベル		内部回路電源電圧
	VDD	VDDQ	VILmin	VIHmax	VDDI
3.3V仕様	3.3V	3.3V	0V	VDDQ	1.5V
2.5V仕様	2.5V	2.5V	0V	VDDQ	1.5V

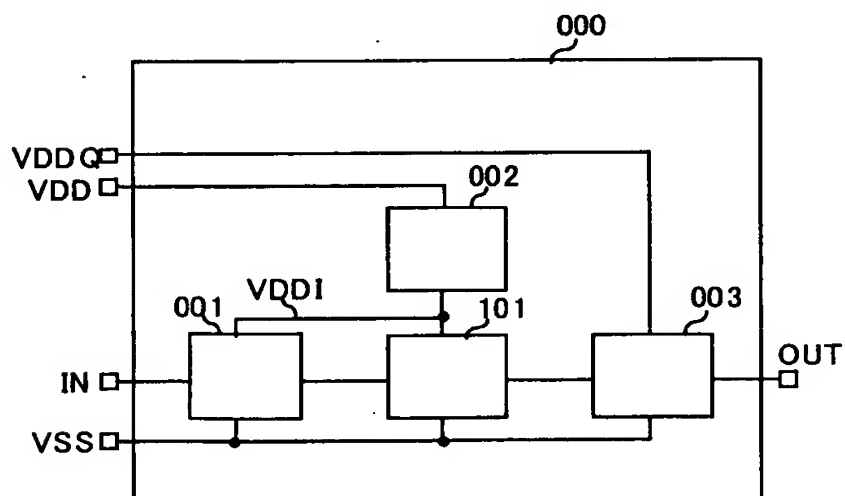
【図 3 0】

図 30

	ゲート絶縁膜厚	最小加工ゲート長
	TOX	Lg
3.3V耐圧MOS	8nm	0.4um
2.5V耐圧MOS	6nm	0.3um
1.5V耐圧MOS	3nm	0.14um

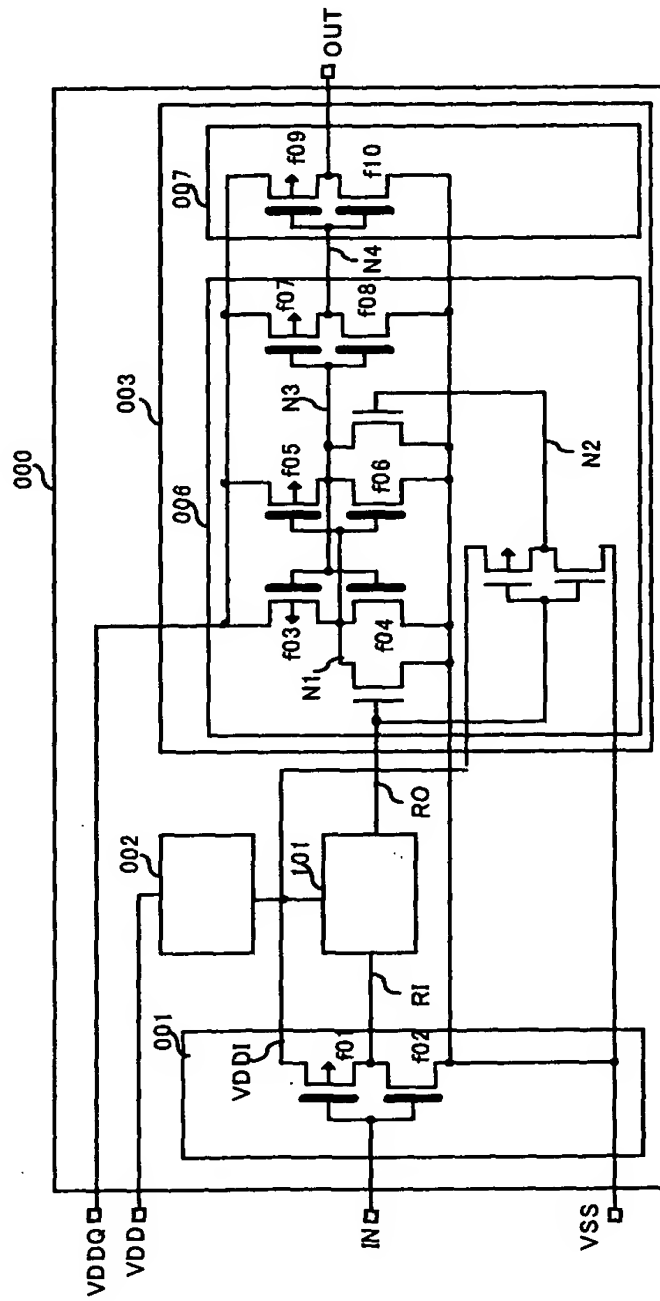
【図 3 1】

図 31



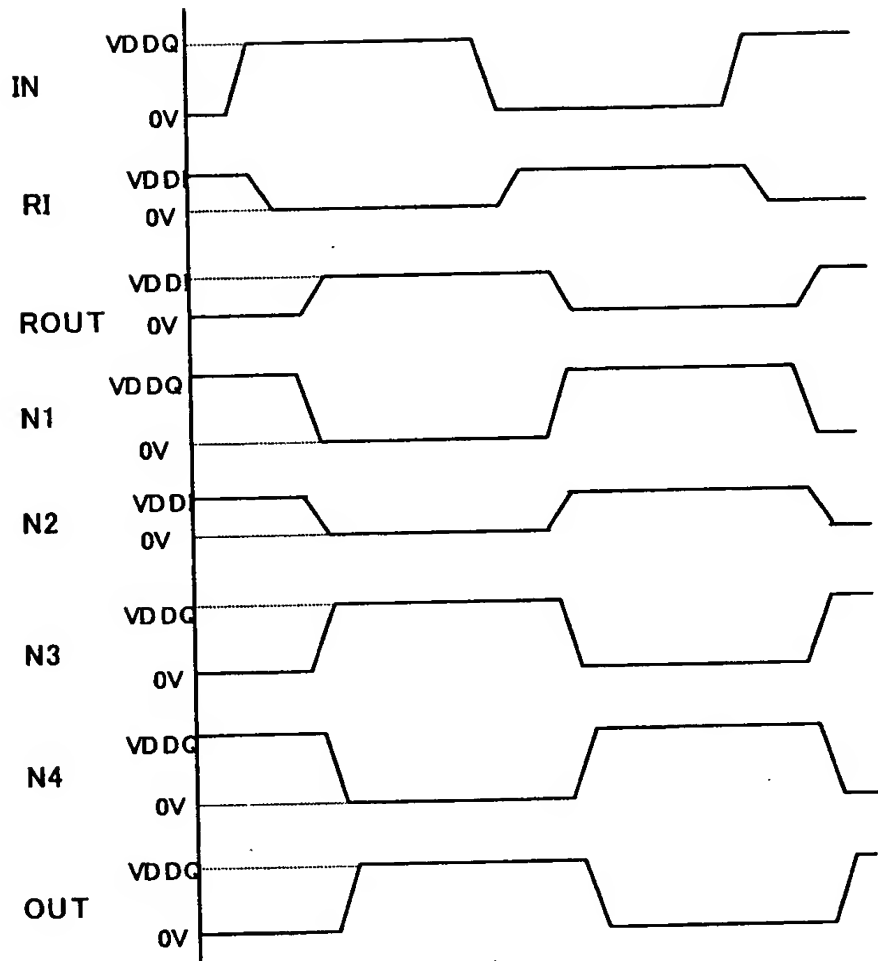
【図 32】

図 32



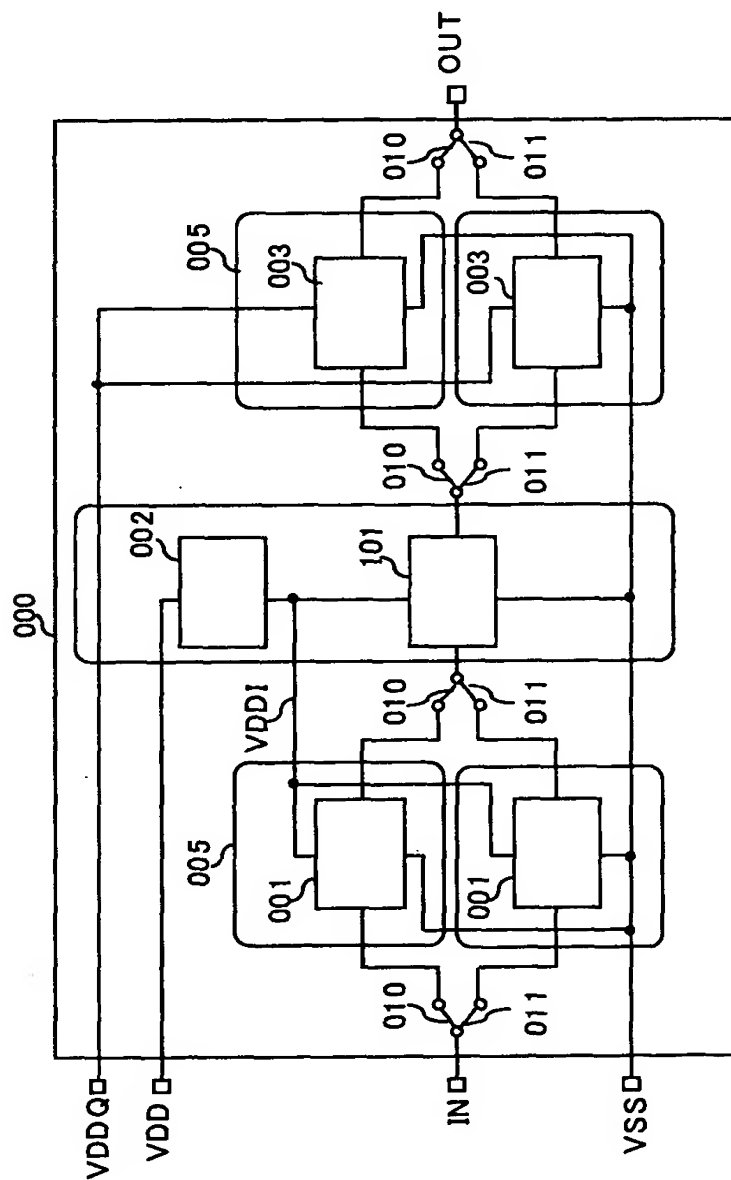
【図 33】

図 33



【図 34】

図 34



【書類名】 要約書

【要約】

【課題】 チップサイズや製造コストを増やすことなく、複数の電源電圧仕様に
対応した半導体装置の高速動作を実現する。

【解決手段】 外部電源電圧に応じて異なる電源電圧が印加される複数種類のM
OSトランジスタを形成するための複数の工程を有する半導体装置の製造方法に
おいて、前記複数の工程は、複数種類のMOSトランジスタに共通する第1工程
と、第1工程に引き続く工程であって、複数種類のMOSトランジスタ毎に異な
る第2工程と、第2工程に引き続く工程であって、複数種類のMOSトランジス
タに共通する第3工程とからなる。

【選択図】 図 2 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所